

Jihočeská univerzita v Českých Budějovicích

Pedagogická fakulta

Katedra fyziky

Bakalářská práce

**Digitální elektronické moduly pro výuku praktické
elektroniky**

Knihovna JU - PF



3 1 1 5 1 7 2 5 1 5

Vypracoval: Karel Ambrož

Obor: Měřicí a výpočetní technika

Vedoucí bakalářské práce: Doc. PaedDr. Petr Adámek, Ph.D.

Datum: 2006

Prohlášení

Prohlašuji, že jsem předloženou bakalářskou práci vypracoval samostatně s použitím odborné literatury a pramenů, jejichž úplný seznam je její součástí.

V Českých Budějovicích dne 26.4.2006



Karel Ambrož

Poděkování

Na tomto místě bych rád poděkoval *Doc. PaedDr. P. Adámkovi, Ph.D.* za cenné rady a zkušenosti při zpracování bakalářské práce.

Anotace

Tato práce obsahuje základní teoretickou část číslicové techniky, potřebnou k návrhu a realizaci zadaných digitálních modulů spolu s dokumentací postupu při laboratorním měření. Digitální moduly jsou složeny ze synchronních vratných čítačů (IO 74192 a IO 74193) ve funkci čítačů impulsu a čítače (IO 74163) spolu s klopným obvodem JK (IO 74112) jako děliče kmitočtu. Výsledné digitální moduly jsou určeny pro praktickou výuku elektroniky studentům pedagogické fakulty elektrotechnických a učitelských oborů.

Annotation

This diploma paper includes basic theoretical part of digital processing, needed for suggestion and realization tasked digital modules in conjunction with process documentation on laboratory measurement. Digital modules are composed of clocked, up downed counters (IO 74192 and IO 74193) in function of clock counter and counter (IO 74163) in conjunction with flip-flop circuit JK (IO 74112) in frequency divider capacity. Resulted digital modules are intended for hand-on training of electronics for Teacher's College, students of electrotechnical and pedagogical subjects.

ÚVOD	7
I TEORETICKÝ ÚVOD DO ČÍSLICOVÉ TECHNIKY	8
1.1 BOOLEOVA ALGEBRA	8
1.1.1 Číselné soustavy	8
1.1.2 Zákony Booleovy algebry	8
1.1.2.1 Základní logické operátory	9
1.1.2.2 Vlastnosti operátorů	12
1.2 LOGICKÉ OBVODY A FUNKCE	12
1.2.1 Zápis logického výrazu	12
1.2.1.1 Algebraický výraz	13
1.2.1.2 Pravdivostní tabulka	13
1.2.1.3 Karnaughova mapa (grafická metoda)	14
1.2.2 Zjednodušování zápisu logických výrazů	14
1.2.2.1 Algebraická minimalizace	14
1.2.2.2 Grafická – Karnaughova metoda	14
1.2.3 Reprezentace základních logických funkcí elektronickými obvody	15
1.2.3.1 Integrované logické systémy	16
1.2.3.2 Výrazy a definice technologie TTL	19
1.3 KOMBINAČNÍ A SEKVENČNÍ LOGICKÉ OBVODY	21
1.3.1 Kombinační obvody	21
1.3.2 Sekvenční obvody	21
1.3.2.1 Klopné obvody (paměťová buňka)	22
1.3.2.2 Čítače	26
II NÁVRH OBVODŮ	30
2.1 NÁVRH SYNCHRONNÍHO DESÍTKOVÉHO VRATNÉHO ČÍTAČE	31
2.1.1 Návrh čítače pomocí vhodně definované tabulky přechodů	31
2.1.2 Návrh čítače modulo 10 s nulovacími obvody	35
2.2 NÁVRH ČÍTAČE JAKO DĚLIČE FREKVENCE	36
III NÁVRH DESEK S PLOŠNÝMI SPOJI	39
3.1 NÁVRH PLOŠNÝCH SPOJŮ PRO ÚLOHU ČÍTAČE	40
3.1.1 Deska I (čítače)	40
3.1.1.1 Korekční obvody pro tlačítka	40
3.1.1.2 Jednoduché astabilní obvody	41
3.1.1.3 Indikace přenosu	44
3.1.1.4 Deska I s plošnými spoji a rozmístěním součástek	45
3.1.1.5 Seznam součástek	46
3.1.2 Deska II (displeje a dekodéry)	47
3.1.2.1 Deska II s plošnými spoji a rozmístěním součástek	48
3.1.2.2 Seznam součástek	49
3.1.3 Schéma zapojení	50
3.2 NÁVRH PLOŠNÉHO SPOJE PRO ÚLOHU DĚLIČE FREKVENCE	51
3.2.1 Deska s plošnými spoji a rozmístěním součástek	53
3.2.2 Schéma zapojení	54
3.2.3 Seznam součástek	55

IV LABORATORNÍ PRÁCE.....	56
4.1 SYNCHRONNÍ VRATNÉ ČÍTAČE	56
4.1.1 Zadání.....	56
4.1.2 Cíl měření.....	56
4.1.3 Teoretický rozbor.....	56
4.1.4 Popis použitých integrovaných obvodů.....	57
4.1.4.1 Synchronní desítkový vratný čítač IO 74192.....	57
4.1.4.2 Synchronní binární vratný čítač IO 74193.....	59
4.1.4.3 Převodník kódu BCD na kód 7-segmentových zobrazovacích jednotek...61	
4.1.4.4 Sedmisegmentová zobrazovací jednotka HDSP-5501.....	62
4.1.5 Popis desek.....	64
4.1.6 Postup měření.....	64
4.1.7 Schéma zapojení.....	66
4.1.8 Použité přístroje a součástky.....	67
4.2 ČÍTAČE JAKO DĚLIČE KMITOČTU.....	68
4.2.1 Zadání.....	68
4.2.2 Cíl měření.....	68
4.2.3 Teoretický rozbor.....	68
4.2.4 Popis použitých integrovaných obvodů.....	68
4.2.4.1 Integrovaný obvod 74112	68
4.2.4.2 Synchronní binární čítač vpřed IO 74163.....	69
4.2.5 Postup měření.....	70
4.2.5.1 Integrovaný obvod 74112.....	70
4.2.5.2 Integrovaný obvod 74163.....	71
4.2.6 Schéma zapojení.....	72
ZÁVĚR.....	74
LITERATURA	75

Úvod

Cílem této bakalářské práce je vytvoření digitálních modulů s čítači pro výuku praktické elektroniky a vytvořit protokoly k laboratornímu měření s danými obvody. Tyto digitální moduly mají přiblížit studentkám a studentům principy a funkce sekvenčních logických obvodů, konkrétně čítačů ve funkci čítačů impulsů a děliče kmitočtů. Studenti si mají na těchto modulech zkusit aplikovat své teoretické znalosti číslicové techniky získaných z přednášek elektroniky.

Moduly mají být navrženy tak, aby studenti pouze jen nepropojovali jakési nic jim neříkající krabičky, které mají označené a popsané vstupy a výstupy, ale aby se také aktivně podíleli na tvorbě daného obvodu. I když tomuto způsobu zapojování by odpovídala např. kontaktní nepájivá pole nebo použití univerzálních desek, oba tyto způsoby mají své nevýhody. Kontaktní nepájivá pole jsou při větší složitosti obvodů příliš nepřehledná a životnost součástek není také zrovna velká, vezmeme-li si, jak často dochází k různému upravování vývodů.

V praxi najdou čítače využití v měřicí technice a automatizační technice např. tam, kde je třeba počítání počtu impulsů vysílané snímačem nebo měřidlem množství nějaké látky, monitorování počtu impulsů například ze senzorů měřící množství prošlého materiálu nebo jako děliče frekvence impulsů.

I Teoretický úvod do číslicové techniky

1.1 Booleova algebra

1.1.1 Číselné soustavy [1]

Čísla mohou být zobrazena v různých číselných soustavách. I přes to, že pro většinu lidí je přirozená desítková soustava, jsou dnešní stroje (počítače) založeny na binární soustavě. Zde se používají dva stavy. Výhodou je, že je jednodušší rozlišovat dva stavy než např. 10 stavů a dalším důvodem je spolehlivost.

Vyjádření libovolného racionálního čísla v číselné soustavě s celočíselným kladným základem B lze zapsat takto:

$$(N)_B = a_n B^n + a_{n-1} B^{n-1} + \dots + a_1 B^1 + a_0 B^0 + a_{-1} B^{-1} + \dots + a_{-m} B^{-m}$$

, kde mocnina základu B_n vyznačuje váhu číslice a_n , a kde přirozené číslo a_n nabývá hodnot, $0 \leq a_n < B$.

Dělicí čárka " , " nám odděluje tzv. celočíselnou a neceločíselnou část čísla, v počítači se čárka či znaménko zakódovávají.

Nejpoužívanější soustavy jsou binární (základem je číslo 2), osmičková (základem je číslo 8), desítková (základem je číslo 10) a šestnáctková (základem je číslo 16). Pro převod mezi jednotlivými soustavami bylo vypracováno několik algoritmů.

Pro aritmetické operace s binárními čísly platí pro sčítání, násobení a dělení stejné pravidla a provádějí se obvykle podle stejného algoritmu jako v dekadické soustavě. Odečítání se provádí jako přičtení čísla, které jsme dostali pomocí metody dvojkového doplňku.

1.1.2 Zákon Booleovy algebry [2, 3]

Logická proměnná je nespojitá veličina, slouží k určení pravdivosti nebo nepravdivosti daného výroku. Nabývá pouze dvou hodnot a označují se zpravidla 0 a 1, případně L a H (low and high) a označujeme ji x .

Logická funkce n proměnných je funkce logických proměnných, která může nabývat také pouze dvou hodnot. Jinak řečeno, vyjadřuje závislost výstupních proměnných na proměnných vstupních.

Logický člen je zařízení, pomocí jehož se realizují logické funkce.

Vstupní proměnná, jinak také **nezávisle** proměnná (a , b), je fyzikální veličina, určující funkci a chování daného procesu.

Výstupní proměnná (Y), je fyzikální veličina, daná vstupními signály.

Hodnoty proměnné (Y), jsou závislé na jednotlivých kombinacích nezávisle proměnných (a , b).

1.1.2.1 Základní logické operátory [1, 3]

Booleova algebra je zobrazení na množině $\{0,1\}$, popisující činnost logických obvodů. Vychází z výrokové logiky, přičemž pravdivému výroku přiřazujeme hodnotu 1, výroku, který je nepravdivý pak přiřazujeme hodnotu 0. Jsou v ní definovány tři základní operace. Pomocí těchto tří operací lze vyjádřit libovolnou logickou operaci. Jsou to funkce :

- a) logická negace
- b) logický součin
- c) logický součet
- d) Pierceova a Schefferova funkce

ad a)

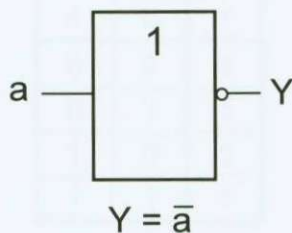
Logická negace (inverze)

Tato operace je aplikována jen na jednu proměnnou. Proměnná se označuje přidáním „pruhu“ nad proměnnou. Negace je vyjádřena zápisem „NOT“. Dochází ke změně hodnoty nezávisle proměnné na opačnou.

možnosti zápisu : \bar{a} , $\neg a$, $\sim a$, $\text{not}(a)$

a	\bar{a}
0	1
1	0

Tab. 1.1 Tabulka funkce negace



Obr. 1.1 Obvodové znázornění logické negace a zápis funkce

ad b)

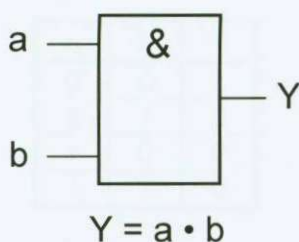
Logický součin (průnik, konjunkce)

Tato operace je aplikována na dvě proměnné, vytváří součin neboli funkci „AND“ těchto dvou proměnných. Logický součin nabývá hodnotu 1 jen tehdy, když všechny nezávislé proměnné mají hodnotu 1.

možnosti zápisu : $Y = a \cdot b$, a AND b , $a \wedge b$

a	b	Y
0	0	0
0	1	0
1	0	0
1	1	1

Tab. 1.2 Tabulka funkce logického součinu



Obr. 1.2 Obvodové znázornění logického součinu a zápis funkce

ad c)

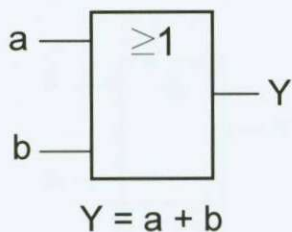
Logický součet (sjednocení, disjunkce)

Tato operace je aplikována na dvě proměnné, vytváří součet neboli funkci „OR“ těchto dvou proměnných. Logický součet nabývá hodnoty 1, jestliže jedna nezávisle proměnná nebo druhá nezávisle proměnná nebo obě mají hodnotu 1.

možnosti zápisu : $Y = a + b$, a OR b , $a \vee b$

a	b	Y
0	0	0
0	1	1
1	0	1
1	1	1

Tab. 1.3 Tabulka funkce logického součtu



Obr. 1.3 Obvodové znázornění logického součtu a zápis funkce

ad e)

Pierceova a Schefferova funkce [3]

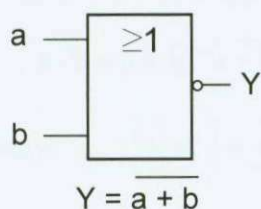
Tyto funkce se v praxi používají pro návrh logických obvodů. Důvodem je, že se obvody skládají pomocí jednoho typu logické funkce. Pierceova funkce se realizuje pomocí logických obvodů typu NOR (negace součtu) a Schefferova funkce realizuje pomocí logických obvodů typu NAND (negace součinu).

Pierceova funkce

možnost zápisu : $Y = \overline{a + b}$

a	b	Y
0	0	1
0	1	0
1	0	0
1	1	0

Tab. 1.4 Tabulka Pierceovy funkce



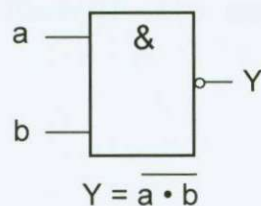
Obr. 1.4 Obvodové znázornění Pierceovy algebry a zápis funkce

Schefferova funkce

možnost zápisu : $Y = \overline{a \cdot b}$

a	b	Y
0	0	1
0	1	1
1	0	1
1	1	0

Tab. 1.5 Tabulka Schefferovy funkce



Obr. 1.5 Obvodové znázornění Schefferovy algebry a zápis funkce

1.1.2.2 Vlastnosti operátorů [1, 3]

Zákony Booleovy algebry slouží k vyhodnocení logických výrazů, různé úpravy a zjednodušení logických výrazů.

1. komutativní zákon: $a + b = b + a$, $a \cdot b = b \cdot a$
2. asociativní zákony: $(a + b) + c = a + (b + c)$, $(a \cdot b) \cdot c = a \cdot (b \cdot c)$
3. distributivní zákony: $(a + b) \cdot c = a \cdot c + b \cdot c$, $a \cdot (b + c) = (a \cdot b) + (a \cdot c)$
4. zákon o agresivnosti prvku 1 a 0: $a + 1 = 1$, $a \cdot 0 = 0$
5. zákon o neutrálnosti prvku 1 a 0: $a + 0 = a$, $a \cdot 1 = a$
6. zákon o vyloučení třetího: $a + \bar{a} = 1$, $a \cdot \bar{a} = 0$
7. zákon dvojité negace a: $a = \overline{\bar{a}}$
8. zákon absorpce: $a + a = a$, $a \cdot a = a$, $a + a \cdot b = a$, $a \cdot (a + b) = a$
9. zákon absorpce negace: $a + \bar{a} = 1$, $a \cdot \bar{a} = 0$, $a + \bar{a} \cdot b = a + b$, $a \cdot (\bar{a} + b) = a \cdot b$
 $\bar{a} + a \cdot b = \bar{a} + b$, $\bar{a} \cdot (a + b) = \bar{a} \cdot b$
10. De Morganovy zákony: $\overline{a \cdot b} = \bar{a} + \bar{b}$, $\overline{a + b} = \bar{a} \cdot \bar{b}$

zobecněné de Morganovy zákony: $\left(\bigvee_{i=1}^n a_i \right) = \overline{\bigwedge_{i=1}^n \bar{a}_i}$, $\left(\bigwedge_{i=1}^n a_i \right) = \overline{\bigvee_{i=1}^n \bar{a}_i}$

1.2 Logické obvody a funkce [2, 3]

1.2.1 Zápis logického výrazu

Jednu funkci lze popsat více výrazy. Každou logickou funkci je možno vyjádřit pomocí součtu mintermů nebo součinu maxtermů.

Logická funkce může být úplně či neúplně zadaná.

Úplně zadaná funkce je taková logická funkce, jestliže je známa její hodnota 1 nebo 0 pro všechny možné kombinace hodnot proměnných. Těchto kombinací je pro n proměnných 2^n .

Neúplně zadaná funkce je taková logická funkce, jestliže je hodnota pro některé kombinace hodnot proměnných libovolná nebo není určena. Hodnotu funkce poté značíme x .

1.2.1.1 Algebraický výraz [2]

Logický výraz lze zapsat ve dvou tvarech, nazývaných základní součtový a základní součinnový tvar. Více se využívají názvy úplná disjunktivní normální forma – ÚDNF a úplná konjunktivní normální forma – ÚKNF.

úplná disjunktivní normální forma ÚDNF – je to součet základních součinů přímých nebo negovaných proměnných (součet součinů). Jinak součet kombinací proměnných, při níž nabývá funkce hodnoty 1.

$$f = \sum_{s=0}^{2^n-1} i_s k_s$$

\sum - logický součet

i_s - logická proměnná, nabývající hodnotu 0 nebo 1, kterou má funkce pro stavový index s

k_s - základní logický součin pro stavový index s

úplná konjunktivní normální forma ÚKNF – je to součin základních součtů přímých nebo negovaných proměnných (součin součtů). Normální součinnový tvar logické funkce dostaneme, když výstupní funkce $f = 0$. Jinak součin kombinací proměnných, při níž nabývá funkce hodnoty 0.

$$f = \prod_{s=0}^{2^n-1} (i_s + k_s)$$

\prod - logický součet

i_s - logická proměnná, nabývající hodnotu 0 nebo 1, kterou má funkce pro stavový index s

k_s - základní logický součet pro stavový index s

1.2.1.2 Pravdivostní tabulka

Pravdivostní tabulka je tabulka, do které se zapisuje logická (Booleovská funkce). Obsahuje $r + n$ sloupců a 2^n řádků, kde číslo r je počet sloupců výsledných funkcí a číslo n udává počet proměnných. Číslo 2^n udává počet všech možných kombinací nezávisle proměnných, kde číslo n je počet proměnných. Tyto kombinace reprezentuje počet řádků.

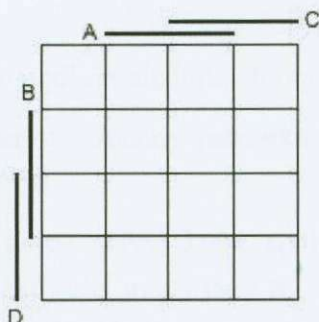
i	x_n	...	x_2	x_1	f
1					
2					
⋮					
2^n					

i ... index stavu

Tab. 1.6 Pravdivostní tabulka

1.2.1.3 Karnaughova mapa (grafická metoda)

Karnaughova mapa slouží pro zápis logického výrazu. Každé kombinaci nezávisle proměnných je v Karnaughově mapě přidělen jeden čtverec, do kterého zapisujeme výstupní hodnotu dané funkce. Počet čtverců je tedy roven počtu řádků v pravdivostní tabulce.



Obr. 1.6 Karnaughova mapa pro čtyři proměnné

1.2.2 Zjednodušování zápisu logických výrazů

Zjednodušování (minimalizace) logického výrazu je určitý postup, který slouží k jednoduššímu vyjádření. Minimalizací získáme jednodušší strukturu logického výrazu při zachování stejného výsledku. Minimalizace se proto tedy používá k nejjednodušší technické realizaci, tzn., k realizaci funkce pomocí menšího počtu logických členů. Nejpoužívanější metody jsou: algebraická minimalizace – pomocí Booleovy algebry, nebo grafická minimalizace. Grafických metod je více, například Quinova-McCluskeyho metoda, Patrickova metoda, ale nejpoužívanější je Karnaughova metoda.

1.2.2.1 Algebraická minimalizace

Algebraická minimalizace logických výrazů slouží ke zjednodušení dané funkce a k jejímu co nejjednoduššímu vyjádření, za podmínky stejného chování funkce. To je prováděno pomocí zákonů a pravidel Booleovy algebry.

Úpravy pomocí této metody jsou obtížné a pro více než tři proměnné je téměř nepoužitelná.

1.2.2.2 Grafická – Karnaughova metoda

Při algebraické minimalizaci pro zjednodušování funkce spojujeme součiny, které se liší v jediné proměnné. Tyto součiny se nazývají sousední.

Karnaughova metoda se díky jasnému geometrickému postupu vyhýbá hledání sousedním součinů složitým algebraickým způsobem. Tato metoda je vhodná pro 3, 4 a 5 proměnných.

Nejdříve stanovíme minimální logickou funkci a to tak, že v Karnaughově mapě vytváříme tzv. **podmapy (smyčky)**. Podmapou rozumíme sjednocení 2^k sousedních stavů, ve kterých nabývá logická funkce hodnoty 1 pro $k = 0, 1, 2, \dots, n-1$. Každou podmapou vyloučíme k proměnných z dvou, čtyř až 2^{n-1} základních součinů. Snažíme se vytvářet co největší podmapy, abychom vyloučili co největší počet proměnných i s použitím **neurčitých stavů**.

Vytváření podmap provádíme podle následujících pravidel:

- podmapami musí být pokryty všechny jednotkové stavy logické funkce, tyto podmapy se mohou překrývat
- do podmapy spojujeme stejné stavy, které spolu sousedí hranou, a to i na protilehlé straně mapy a také rohy mapy jsou též sousedními stavy. Členy dvou sousedních polí se od sebe liší jednou proměnnou (poté dojde k vyloučení této proměnné)
- podmapu pravidelného tvaru (čtverec, obdélník) vytváříme co největší, aby se ze skupiny stavů vyloučilo co nejvíce proměnných. Podmapa musí obsahovat 8, 4, 2, 1 sousedních jednotkových stavů
- nevytváříme nadbytečné podmapy, tzn. nespojujeme ty stavy, které už byly předtím pokryty jinou podmapou
- čím větší bude podmapa, tím jednodušší bude výsledný výraz

1.2.3 Reprezentace základních logických funkcí elektronickými obvody [3, 4]

logická síť – blok číslicových obvodů, který vytváří složitější logickou funkci,

logickým členem – jednodušší logický obvod reprezentující zpravidla logickou funkci dvou proměnných,

pozitivní logika – stav logické 0 odpovídá nižšímu napětí na výstupu logického členu nežli stav logické 1,

negativní logika – logické 0 odpovídá vyšší napětí nežli logické 1,

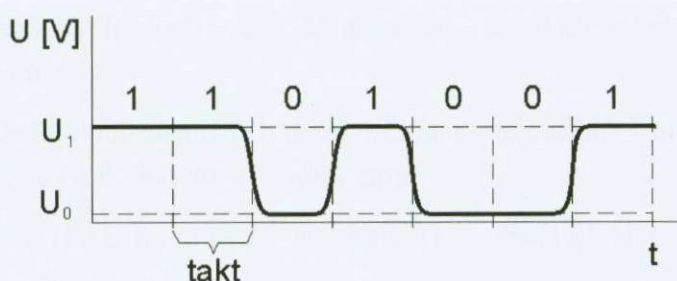
integrovaný obvod – obvod obsahující miniaturizované aktivní a pasivní obvodové prvky uložené v jednom pouzdře,

logická hodnota signálu – hodnota log. proměnné přiřazené k velikosti signálu,

doba (perioda) – časový interval mezi stejnohlými body dvou po sobě jdoucích hodinových impulsů,

takt – skupina dob, která je významná z hlediska činnosti číslicového zařízení.

Časová závislost logických úrovní je zobrazena na obrázku 1.7.



Obr. 1.7 Časový rozvoj logických úrovní



Obr. 1.8 Zakázané pásmo v logických úrovních

Jak bylo již uvedeno, z Booleovy algebry je možné libovolnou logickou funkci vyjádřit kombinací logického součtu nebo logického součinu a operace negace. Elektronické obvody pro generaci uvedených funkcí nazýváme: hradlo “OR”, hradlo “AND” a invertor.

Vzhledem k tomu, že parametry reálného logického členu se různí (užívání součástek s určitou tolerancí), není možné stanovit přesnou hodnotu napětí odpovídající logické 0, resp. 1. Proto se logické členy konstruují tak, aby nebyly citlivé na změnu napětí vstupních parametrů pokud tyto leží v určitém intervalu napětí.

1.2.3.1 Integrované logické systémy [1, 4]

Dnes jsou to obvody, které na destičce velikosti několika čtverečních milimetrů soustřeďují řadu elektronických prvků, tj. tranzistorů, diod, rezistorů. Podle technologie výroby rozlišujeme integrované obvody na hybridní a monolitické.

Hybridní integrované obvody obsahují pasivní a aktivní součástky, které se připevní na jednu nosnou destičku, vzájemně propojí a zapouzdří (např. operační zesilovače).

Monolitických integrované obvody obsahují všechny potřebné prvky soustředěny na jediné destičce polovodiče, nejběžněji křemíku.

Podle stupně integrace rozlišujeme obvody s:

malou integraci (SSI, small scale integration) – obsahují méně než 15 logických obvodů v jednom čipu

středním stupněm integrace (MSI, medium scale integration) – obsahují více než 15 a méně než 100 logických obvodů v jednom čipu

velké integrace (LSI, large scale integration) – obsahují více než sto logických obvodů v jednom čipu

velmi velkého stupně integrace (ELSI, extremely large scale of integration) – tyto obvody obsahují více než 10^6 součástek v jednom čipu

Podle typu technologie realizace daného logického členu dělíme obvody realizované pomocí:

DL - diodová logika (Diode logic)

DCTL - přímo vázaná tranzistorová logika (Direct Couplet Transistor-Logic)

DTL - diodová - tranzistorová logika (Diode-Transistor-Logic)

RTL - odporově - tranzistorová logika (Resistor-Transistor-Logic)

Integrované logické systémy TTL (Transistor-Transistor-Logic)

- nejstarší a nejrozšířenější

- vystačí s jedním napájením +5 V

- velký logický zisk

- modifikace: S-TTL – (Schottky TTL - vyšší rychlost)

LS-TTL – (Low Power Schottky TTL – nižší spotřeba)

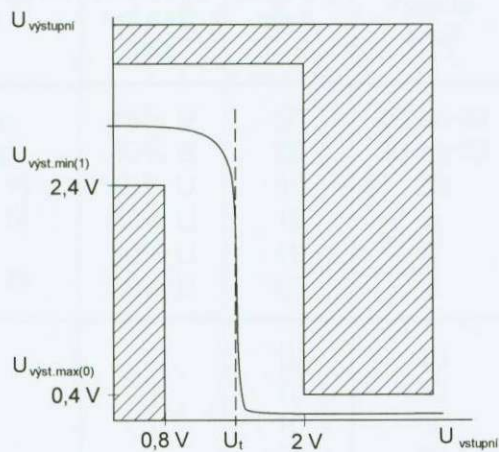
Logické úrovně [5]

Zaručené vstupní napětí pro *Low* je $(0 \div 0,8)$ V a pro *High* $(2 \div 5,5)$ V. Výstupní napětí při úrovni *Low* je $(0 \div 0,4)$ V a při úrovni *High* $(2,4 \div 5,5)$ V. Napětí na vstupu od 0,8 do 2V je zakázané pásmo, při kterém není zaručena ani jedna z úrovní. Jako rozhodovací napětí se udává 1,4 V.

Napájení

Jednou z hlavních nevýhod TTL obvodů je právě napájecí napětí. To musí být 5V a stabilizované. Obvody v provedení 74xx pro správnou funkci potřebují napětí $(4,75 \div 5,25)$ V. Provedení 54xx, které není příliš běžné, je trochu tolerantnější a potřebuje napětí $(4,5 \div 5,5)$ V. Obvody TTL realizované technologií CMOS (HC, HCT) pracují od 2 V do 6 V a ke své funkci potřebují daleko menší příkony.

Převodní charakteristika obvodů TTL [5]



Obr. 1.9 Převodní charakteristika TTL obvodů

$$U_{CC} = 5 \text{ V}$$

$$U_T = \text{prahové napětí (1,4 V)}$$

$$U_{\text{vst.max(0)}} = 0,8 \text{ V}; U_{\text{výst.max(0)}} = 0,4 \text{ V}$$

$$U_{\text{vst.min(1)}} = 2 \text{ V}; U_{\text{výst.min(1)}} = 2,4 \text{ V}$$

Na obrázku 1.9 jsou kromě charakteristiky nakresleny i hranice tolerančních pásem. Zakázané oblasti, do nichž žádný bod charakteristiky nesmí za žádných okolností zasahovat, jsou vyšrafovány.

Systémy MOS/CMOS (Metal-Oxide-Semiconductor)

Jednou z podmínek k opravdu masovému rozšíření mikroelektroniky je malá spotřeba zařízení, která umožňuje napájet přístroj z baterií.

CMOS technologie

Jedná se o kombinaci N a P kanálu. Funguje v rozmezí napájecího napětí U_{CC} od 3 V do 18 V. Výhody jsou malá spotřeba, levná výroba, velká hustota prvků na čipu, necitlivost na změnu napájecího napětí, logický zisk až 50. Nevýhody jsou uplatňující se zvětšování kapacity, což vede ke snížení rychlosti, zpoždění desítky ns (závisí na U_{CC} i na teplotě).

$$U_{IL} < 0,3 U_{CC} \text{ (tj. pro } U_{CC} = 5 \text{ V je požadováno } U_{IL} < 1,5 \text{ V)}$$

$$U_{IH} > 0,7 U_{CC} \text{ až } 0,8 U_{CC} \text{ (pro } U_{CC} = 5 \text{ V tedy } U_{IH} > 3,5 \text{ V až } 4 \text{ V)}$$

V následující tabulce 1.7 je uveden přehled vlastností jednotlivých logických řad číslicových integrovaných obvodů.

Typ logiky		Napájecí napětí [V]	Odstup rušivého napětí [V]	Logický zisk	Zpoždění hradla [ns]	Maximální kmitočet klopného obvodu [MHz]	Příkon hradla [nW]
CMOS	4000B	5 až 10	40% U	50	20 až 40	8 až 16	10
	74C	5 až 10	40% U	50	30 až 50	3 až 8	10 až 30
	74SC	5 (3 až 7)	40% U	50	36	30	10
	74HC	5 (2 až 6)	30% U	10	6	60	10
	74HCT	5	30% U	10	6	60	10 ³
	74HCU	5 (2 až 6)	30% U	10	6	60	10 ³
TTL	74	5	1	10	10	35	10 ⁷
	74L	5	1	10	33	3	10 ⁶
	74S	5	1	10	3	125	1,9·10 ⁷
	74LS	5	1	20	10	15	2·10 ⁶
	74AS	5	1	20	1,5	130	2,2·10 ⁷
	74ALS	5	1	20	4	50	10 ⁶
DTL		5	0,7	10	30	5	8·10 ⁶
HTL		15	4	10	85	3	3·10 ⁷
ECL 10 000		-5,2	0,17	70	2	125	2,5·10 ⁷

Tab. 1.7 Přehled vlastností číslicových IO

1.2.3.2 Výrazy a definice technologie TTL [5]

Následující výrazy, symboly a definice byly odsouhlaseny organizací IEC pro mezinárodní používání.

Clock Frequency (hodinový čili taktovací kmitočet)

Maximální hodinový kmitočet f_{\max} - nejvyšší přípustný kmitočet, který může být přiveden na hodinový vstup bistabilního obvodu. Pouze v případě, že tato frekvence není překročena, je zaručena správná funkce obvodu.

Current (proud)

High-level input current (vstupní proud při vysoké úrovni) I_{IH} - proud vstupu, na nějž je přiveden signál HIGH.

High-level output current (výstupní proud při vysoké úrovni) I_{OH} - proud výstupu, na kterém je díky podmínkám na vstupech vysoký potenciál.

Low-level input current (vstupní proud při nízké úrovni) I_{IL} - proud vstupu, na nějž je přiveden signál LOW.

Low-level output current (výstupní proud při nízké úrovni) I_{OL} - proud výstupu, na kterém je díky podmínkám na vstupech nízký potenciál.

Supply current (napájecí proud) I_{CC} - proud odebíraný vývodem V_{CC} .

Hold Time (přidrzná doba) t_h

Hold time (přidrzná doba, doba přesahu) t_h - je doba, po kterou musí informace na určitých vstupech časově přesahovat za aktivní hranu hodinového impulsu.

Propagation Time (doba šíření signálu)

Propagation delay time, low-to-high-level output t_{pLH} (doba zpoždění průchodu signálu při přechodu výstupu z nízké úrovně na vysokou) - jedná se o dobu, kterou vstupní signál potřebuje k přepnutí stavu výstupu z definované nízké úrovně na definovanou vysokou úroveň.

Propagation delay time, high-to-low-level output t_{pHL} (doba zpoždění průchodu signálu při přechodu výstupu z vysoké úrovně na nízkou) - jedná se o dobu, kterou vstupní signál potřebuje k přepnutí stavu výstupu z definované vysoké úrovně na definovanou nízkou úroveň.

Pulse Width (šířka impulsu)

Pulse width (šířka impulsu) t_w - jako šířka impulsu se označuje doba mezi vzestupnou (čelem) a sestupnou (týlem) hranou (pravoúhlého) impulsu.

Setup Time (Doba předstihu)

Setup time (doba předstihu) t_{su} - doba, po kterou musí signál na určitých vstupech předcházet před aktivní hranou hodinového impulsu.

Voltage (napětí)

High-level-input voltage (vstupní napětí vysoké úrovně) V_{IH} - je-li vstupní napětí na vysokém potenciálu, musí být oproti nízkému potenciálu o tolik kladnější, aby byla zaručena správná logická funkce obvodu.

High-level-output voltage (výstupní napětí vysoké úrovně) $U_{výstH}$ - výst. napětí má vysokou úroveň, pokud to podmínky na vstupech vyžadují.

Input clamp voltage (vstupní omezovače napětí) V_{IK} - napětí na relativně nízkohmovém diferenčním odporu, sloužícímu k tomu, aby se záporná přepětí udržela co nejnižší.

Low-level-input voltage (vstupní napětí nízké úrovně) V_{IL} - je-li vstupní napětí na nízkém potenciálu, musí být vůči vysokému potenciálu o tolik nižší, aby byla zajištěna správná funkce logického obvodu.

Low-level-output voltage (výstupní napětí nízké úrovně) $U_{výstL}$ - výstupní napětí je na nízké úrovni (v logické nule), umožňují-li to příslušné podmínky na vstupech.

Negative-going threshold voltage (prahové napětí při poklesu, dolní prahové napětí) V_T- . Takto se označuje hodnota napětí na vstupu, která vyvolá skokovou funkci, když vstupní napětí klesá od nějaké hodnoty nad horním prahovým napětím V_{T+} .

Positive-going threshold voltage (prahové napětí při vzestupu, horní prahové napětí) $V_T +$. Takto se označuje hodnota napětí na vstupu, která vyvolá skokovou funkci, když vstupní napětí roste od nějaké hodnoty pod dolním prahovým napětím $V_T -$.

1.3 Kombinační a sekvenční logické obvody [1, 3]

Elektronické obvody, které realizují logické funkce dělíme do základních dvou skupin: na tzv. kombinační a sekvenční logické systémy.

Kombinační obvod: výstupy daného obvodu jsou závislé pouze na okamžitých kombinacích vstupních logických proměnných a ne na jejich předchozích hodnotách.

Stejná kombinace vstupních logických proměnných na vstupu nám dá vždy stejnou výstupní hodnotu (logická hradla).

Sekvenční obvod: hodnota výstupní veličiny závisí nejen na okamžité kombinaci hodnot vstupních veličin, ale i na předchozí hodnoty výstupu. Výstup těchto obvodů je tedy definován jen tehdy, je-li definována časová posloupnost (sekvence) změn vstupních hodnot; z toho též plyne jejich název (systémy s mezipamětí, klopné obvody).

stabilní stav - je stav výstupních veličin, který se bez změny vstupních proměnných nemění,

nestabilní stav - je stav výstupních veličin, který se bez změny vstupních proměnných změní, tato změna je určena funkcí nebo parametry některého logického členu nebo logického obvodu, označujeme x,

hodinový impuls - je základní signál užívaný pro řízení a časování všech operací v synchronních zařízeních (pravidelné vzorkování),

doba překlpení - je doba potřebná ke změně vnitřního stavu sekvenčního obvodu,

překlpení - obvod mění svou výstupní proměnou na alternativní hodnotu,

nastavovat - znamená uvádět dané zařízení do určeného stavu.

1.3.1 Kombinační obvody

Mezi kombinační obvody patří: komparátor, generátor parity dekodér 1/N, multiplexor, polosčítačka a sčítačka.

1.3.2 Sekvenční obvody [1, 2]

Sekvenční obvody musí obsahovat prvky, které jsou schopny si pamatovat informace minimálně po dobu mezi dvěma hodinovými impulsy.

Sekvenční obvody se dělí na:

- **synchronní:** jsou synchronizovány samostatnými signály, které se nazývají synchronizační, nebo hodinové a určují jednotlivé takty (časové intervaly),

- **asynchronní:** u asynchronních logických obvodů nastává okamžitá změna stavu výstupní veličiny po změně vstupních proměnných.

1.3.2.1 Klopné obvody (paměťová buňka) [1, 3]

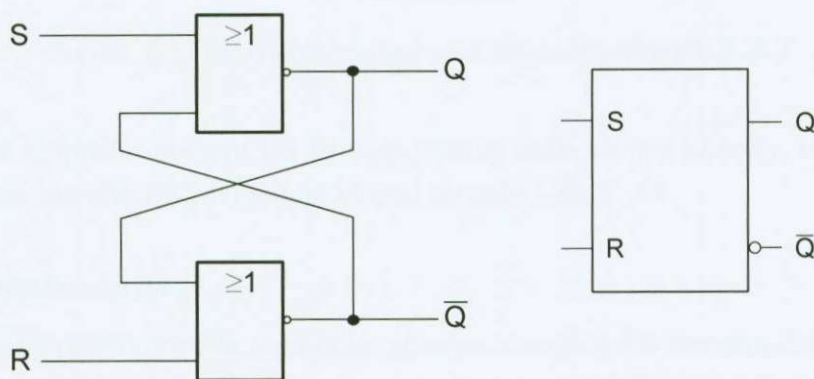
Klopné obvody jsou logické obvody se dvěma vnitřními stavy, které jsou schopny setrvat v daném stavu (logické 0 nebo 1) bez aplikace vnějších logických úrovní.

Klopný obvod RS

Nejjednodušší klopný obvod vytvoříme pomocí dvou NOR členů (NAND), kterým křížem propojíme vstupy a výstupy. Klopný obvod typu RS je nejjednodušší s individuálním ovládáním, má jeden vstup S pro překlápění do stavu 1 a jeden vstup R pro překlápění do stavu 0. Název vznikl z anglických termínů set (nastavovat) a reset (vynulovat). Tento obvod reaguje na náběžnou hranu.

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	x

Tab. 1.8 Pravdivostní tabulka pro RS klopný obvod realizovaný pomocí hradel NOR



Obr. 1.10 RS klopný obvod realizovaný hradly NOR a obvodové schéma

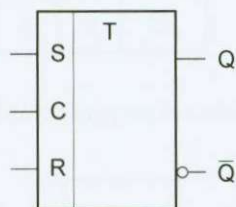
Nastavíme-li na obou vstupech hodnotu logické 0 zůstává nám výstupní hodnota nezměněna. Pokud obě vstupní proměnné budou mít hodnotu logické 1 nastává tzv. neurčitý stav. Hodnota výstupu bude určena vnitřními parametry obvodu a v tabulce je tento stav znázorněn x. Je-li na vstup $S = 1$, $R = 1$, potom výstup Q má hodnotu log. 1. Vynulování výstup docílíme nastavením vstupů do hodnot $S = 0$ a $R = 1$.

Obvod RS můžeme doplnit o dvojici hradel AND ovládaná signálem do vstupu T (trigger). Pokud je na vstupu T úroveň log. 1, chová se obvod stejně jako normální obvod RS. Po přechodu signálu T do úrovně log. 0 se klopný obvod RS odpojí od vstupů a uvede se do paměťového režimu.

S	R	T	Q_{n+1}
0	0	1	Q_n
0	1	1	0
1	0	1	1
1	1	1	1
x	x	0	Q_n

Tab. 1.9 Pravdivostní tabulka obvodu R-S-T

Pozn.: Znak „x“, v tabulce udává, že logická hodnota příslušného signálu nemá vliv na stav obvodu. Při kombinaci vstupních signálů 111 nesmí dojít ke změně z log. 1 na log. 0 u vstupu C.



Obr. 1.11 Obvodové znázornění klopného obvodu R-S-T

Kromě klopného obvodu RS jsou používány další klopné obvody, které odstraňují neurčitý stav obvodu RS: dvojčinné klopné obvody J-K, T, D.

Klopný obvod typu D

Název klopného obvodu typu D je odvozen z anglického termínu delay (zpoždění). Z tohoto názvu je patrné, že obvod se používá ke zpoždování informací a k jejímu uchování.

Tento obvod mění svůj stav při náběžné hraně (\uparrow) hodinového impulsu. V případě, že D obvod sestavíme z obvodu JK typu master - slave, mění se stav s týlovou hranou hodinového impulsu.

Vstup D je datový vstup, vstup C (clock) je vstup pro hodinový signál (řídící vstup), určuje dobu nebo okamžik, kdy klopný obvod přebírá informaci ze vstupu D.

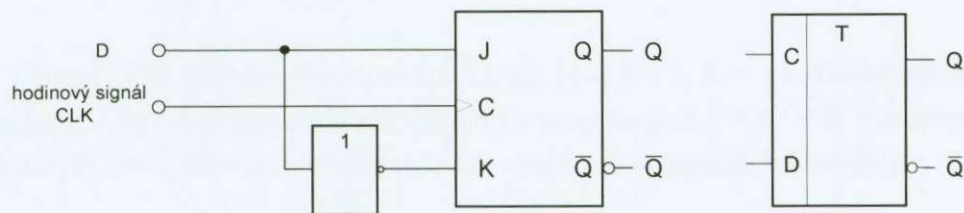
D	C	Q_{n+1}
0	0	Q_n
0	↑	0
1	0	Q_n
1	↑	1

Tab. 2.10 Pravdivostní tabulka klopného obvodu D

Pokud $C = 1$ informace na vstupu D se nám přenesou na výstup paměťového členu D. Je-li $C = 0$ obvod si pamatuje poslední přenášenou informaci. Podle konstrukce rozlišujeme klopné obvody D na obvody řízené úrovní a klopné obvody D řízené vzestupnou hranou.

D	C	Q_{n+1}
0	1	0
1	1	1
x	0	Q_n

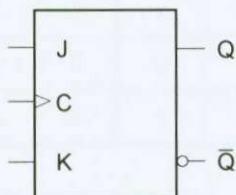
Tab. 1.11 Pravdivostní tabulka klopného obvodu D řízeného úrovní



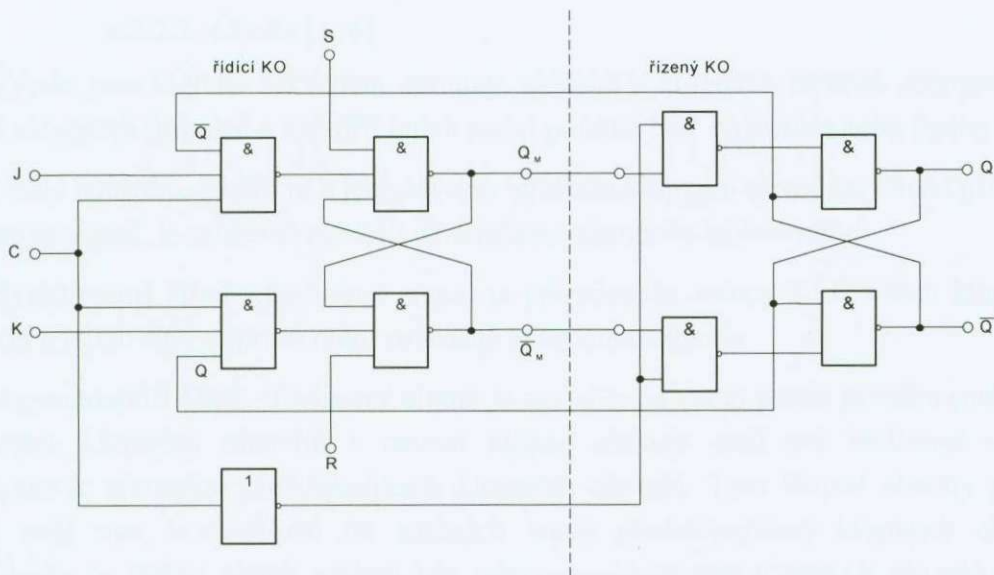
Obr. 1.12 Klopný obvod D

Dvojčinný klopný obvod J-K (klopný obvod J-K typu master-slave)

Pro odstranění neurčitého stavu klopného obvodu RS byl vyvinut tzv. dvojčinný klopný obvod J-K.



Obr. 1.13 Obvodové znázornění klopného obvodu JK



Obr. 1.14 Zapojení klopného obvodu JK

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Tab. 1.12 Pravdivostní tabulka pro J-K klopný obvod

Obvod mění výstupní hodnotu (překlápí), je-li $J = 1$, $K = 1$ a to s každým vstupním impulsem. Obvod si pamatuje při vstupních proměnných $J = K = 0$. Nastavení ($Q = 1$) probíhá při $J = 1$, $K = 0$, nulování pak při opačných vstupních hodnotách.

Q_n	Q_{n+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0
x	0	0	1
x	1	1	0

Tab. 1.13 Tabulka přechodů klopného obvodu JK

1.3.2.2 Čítače [1, 6]

Čítače jsou logické sekvenční systémy, složené z klopných obvodů schopné čítat počet vstupních impulsů a vyjádřit jejich počet pomocí buď binárního nebo jiného kódu.

Podle způsobu, jakým je k jednotlivým vnitřním klopným obvodům čítačů přiveden hodinový signál, je můžeme rozdělit na čítače synchronní a asynchronní.

Synchronní čítač - hodinový signál je přiveden na vstupy CLK všech klopných obvodů a jejich stav se proto mění současně se změnou signálu

Asynchronní čítač - hodinový signál je zaveden na vstup pouze prvního (nebo jen některých klopných obvodů) a ostatní klopné obvody mají své hodinové vstupy připojeny k výstupům předcházejících klopných obvodů. Tyto klopné obvody potom mění svůj stav v závislosti na změnách stavů předcházejících klopných obvodů (nevýhoda: u těchto čítačů mohou být odezvy jednotlivých klopných obvodů různě zpožděny).

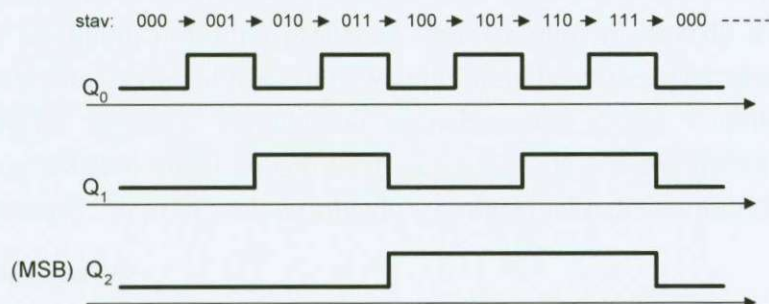
Další možné dělení čítačů je podle směru čítání (čítače vpřed, čítače vzad a čítače vratné, u kterých je možno směr čítání měnit) nebo podle kódu ve kterém pracují.

Čítač, který čítá v binárním kódu a s cyklem o délce $m=2^k$, se nazývá **binární**. Čítač s cyklem $m=10$ se nazývá **dekadický**, počítá v kódu BCD (Binary Coded Decimal). Pro čítače s cykly jiných délek se používá název „čítač **modulo m**“.

Čítač *modulo m* má proti binárnímu čítači zkrácený cyklus. To lze docílit dvěma způsoby, buď již při návrhu čítače vhodně definovat tabulku přechodů a odvodit budící funkce klopných obvodů (pouze u synchronních čítačů), nebo vyjít z čítače binárního a doplnit jej o obvody, které čítač vynulují při dosažení vhodného stavu, dříve než na konci cyklu (u čítačů asynchronních i synchronních).

Čítače **modulo m** se často využívají jako děliče kmitočtu celým číslem **m**. Pro tuto aplikaci není podstatné, kterými stavy čítač prochází, jen jich musí být *m* v cyklu a jednou za cyklus musí být generován výstupní impuls.

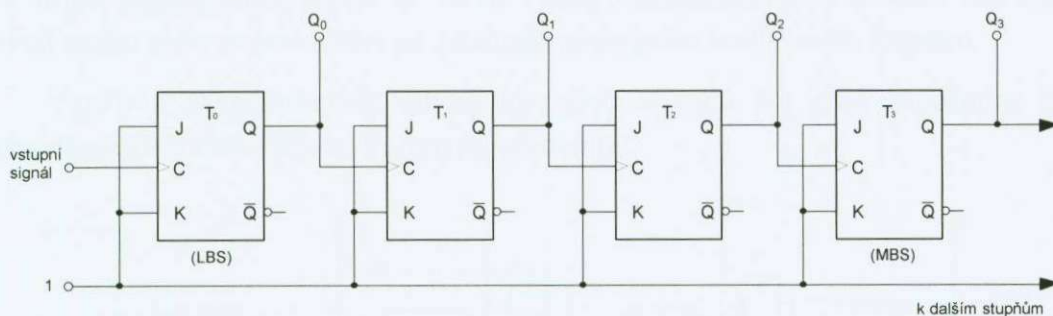
Pro příklad je uveden na obrázku 1.15 [6] binární čítač s čítáním vpřed modulo 8. Pro kódování 8 stavů jsou zapotřebí 3 dvojhodnotové signály Q_2 , Q_1 , Q_0 , kde Q_2 = MSB (nejvýznamnější bit). Obrázek ukazuje střídání stavů vyvolané vstupními impulsy.



Obr. 1.15 Čítač modulo 8

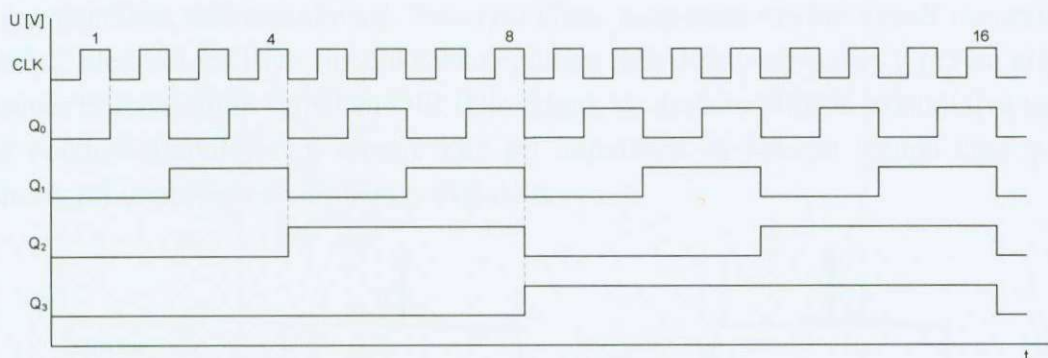
Z obrázku je zřejmé, že kmitočet impulsů na Q_0 je polovinou kmitočtu vstupních impulsů, na Q_1 je jeho čtvrtinou, na Q_2 je jeho osminou.

Asynchronní čítač



Obr. 1.16 Schéma asynchronního čítače vpřed

Sestává se z řetězce klopných obvodů T, které byly vytvořeny pomocí obvodu JK připojením obou vstupů na logickou 1. Jednotlivé klopné obvody mění stav výstupu při každé týlové hraně na svém hodinovém vstupu. Obvod T_0 se překlápí při každé týlové hraně vstupních impulsů, všechny ostatní výstupy mění svůj stav právě když předcházející klopný obvod mění stav výstupu Q z 1 do 0. Průběh změn jednotlivých výstupů daných klopných obvodů je znázorněn na obrázku 1.17.



Obr. 1.17 Časová závislost průběhů jednotlivých výstupů

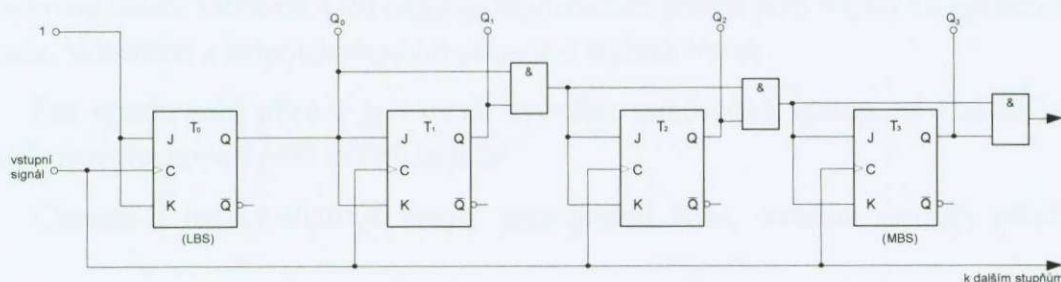
Z časového diagramu je zřejmé, že překlápění probíhá postupně, se zpožděním jednotlivých klopných obvodů, zleva doprava jako vlna. Nejdelší cesta je při přechodu ze stavu 1111 do 0000, kdy vlna proběhne všemi klopnými obvody a doba potřebná k tomu, aby celý čítač vykonal odezvu na vstupní impuls, může být srovnatelná s dobou mezi jednotlivými impulsy. Nevýhodou asynchronního čítače v aplikacích je tedy dlouhá doba na ustálení stavu (všech výstupních signálů), vyžadujících krátkou dobu přechodu mezi stavy. Není to však na závadu v aplikaci jako dělič kmitočtu.

Synchronní čítač

U synchronních čítačů jsou všechny klopné obvody překlápěny současně, prostřednictvím hodinového signálu CLK. Vzhledem k současnému působení vstupních

impulsů CLK na všechny klopné obvody ve stejný okamžik, je doba ustálení nového stavu čítače dána dobou zpoždění klopného obvodu tj. od hrany CLK do změny stavu na výstupu klopného obvodu. O tom, který z daných obvodů bude překlápet, rozhoduje tzv. řídicí logika, která určuje ze stavu výstupů předcházejících obvodů zda klopný obvod změní nebo nezmění stav po příchodu následného hodinového impulsu.

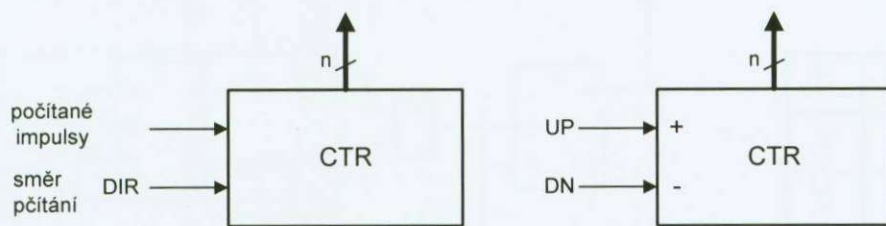
Využitím asynchronních vstupů klopných obvodů lze před započítáním čítání nastavit počáteční stav čítače, tj. provést předvolbu.



Obr. 1.18 Schéma synchronního čítače vpřed

Vratný čítač

V synchronní verzi lze realizovat čítač umožňující počítání nahoru i dolů (inkrementovat, dekrementovat). Takovýto čítač nazýváme **vratný** neboli **reverzibilní čítač**. Z hlediska vnějších signálů lze směr čítání řídit dvěma způsoby. V prvním případě se směr řídí zvláštním signálem DIR (Direction), ve druhém případě existují dva vstupy pro počítané impulsy (up, down). Zde při impulech na jednom vstupu čítač počítá nahoru, při impulech na druhém počítá dolů.



Obr. 1.19 Řízení vratných čítačů [6]

Nulování a přednastavení čítače

Před začátkem čítání impulsů lze u čítačů nastavit počáteční stav. Pouze při zapojení čítače jako děliče kmitočtu, nemá počáteční stav smysl. Jako počáteční stav je někdy postačující vynulování, jindy je však nutné přednastavit čítač daty jinými než nula.

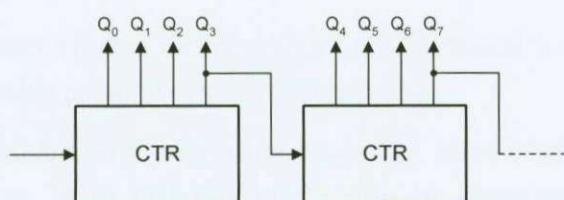
Přenosy z čítače

Přenos z čítače je výstupní signál informující o přechodu ze stavu 11..11 do 00...00 při počítání nahoru, nebo ze stavu 00...00 do 11..11 při počítání dolů. Přenos je využíván pro spojení s dalšími (vyššími) řády čítače s velkým počtem bitů.

Nejjednodušší je **asynchronní přenos**, spočívající pouze ve vyvedení výstupního signálu z nejvyššího klopného obvodu. Předpokládá se, že následující obvody budou reagovat na hranu tohoto výstupního signálu. U čítače s čítáním nahoru se jedná o týlovou hranu. Obrázek 1.20 ukazuje asynchronní přenos jako vazbu do vyšších řádů čítače, složeného z jednotek v našem případě o čtyřech bitech.

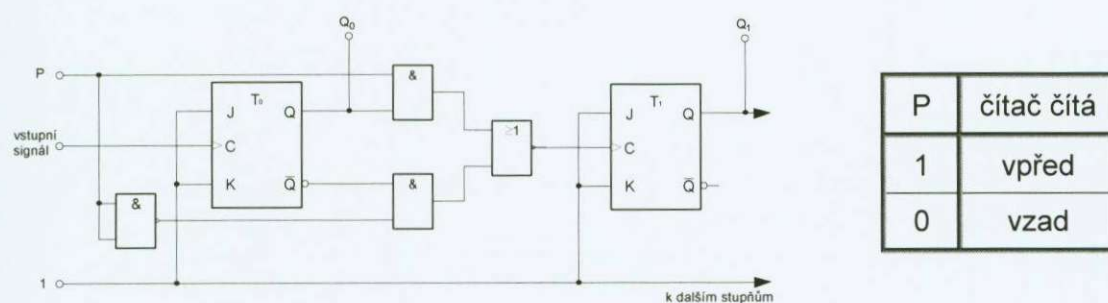
Pro **synchronní přenos** je v čítači vytvořen samostatný výstup, na kterém je při příčinném přechodu vydán krátký impuls.

Chceme-li tedy realizovat vratný asynchronní čítač, musíme sestrojít přepínač,



Obr. 1.20 Asynchronní přenos [6]

který bude přepínat do hodinových vstupů buď výstup Q nebo \bar{Q} předchozího klopného obvodu. Příklad realizace takového přepínače je na obrázku 1.21.



Obr. 1.21 Část vratného čítače

Vratné čítače se vyrábějí buď jako samostatné integrované obvody střední integrace, nebo jsou na jednom čipu integrovány s obvody plnícími další funkce.

II Návrh obvodů

Cílem bakalářské práce je navržení laboratorních úloh s použitím logických integrovaných obvodů, konkrétně čítačů, pro výuku praktické elektroniky. Účelem úlohy je tedy seznámení s funkcemi a zapojeními několika sekvenčních logických obvodů ve funkci čítačů a děliče kmitočtu. Pro návrh laboratorních úloh byly vybrány synchronní vratné čítače (čítač modulo 10 = čítač BCD 1248 a binární čítač), a pro zapojení čítače jako děliče kmitočtu, dělič 2, 4 a 16-ti.

Jak bylo již dříve uvedeno, čítače jsou sekvenční logické obvody, které slouží k čítání impulsů, jejichž počet je potom vyjádřen v určitém kódu. Jako děliče kmitočtu celým číslem m se používají čítače *modulo* m . Pro tuto aplikaci není podstatné, kterými stavy čítač prochází, jen jich musí být m v cyklu a jednou za cyklus musí být generován výstupní impuls. Čítač *modulo* m má proti binárnímu čítači zkrácený cyklus. To lze docílit dvěma způsoby:

1. Při návrhu čítače vhodně definovat tabulku přechodů a odvodit budící funkce klopných obvodů (pouze u synchronních čítačů).
2. Vyjít z čítače binárního a doplnit jej o obvody, které čítač vynulují při dosažení vhodného stavu, dříve než na konci cyklu (u asynchronních i synchronních čítačů).

2.1 Návrh synchronního desítkového vratného čítače

2.1.1 Návrh čítače pomocí vhodně definované tabulky přechodů

Na základě činnosti čítače zhotovíme tabulku přechodů (tab. 2.1) v níž určíme logické hodnoty výstupů pro možné stavy čítače. V tomto případě se tedy jedná o desítkový čítač, čemuž odpovídá 10 (0-9) stavů čítače, v binárním kódu (0000-1001). Ze vztahu $2^x \geq \max.$ hodnota zadaného stavu [7], v tomto případě $2^4 \geq 10$ plyne, že je nutno použít pro realizace 4 logické členy (4 bity).

současný stav (binární kód)	následující stav		výstupní hodnoty v binárním kódu	
	inkrementace	dekrementace	inkrementace	dekrementace
0 (0000) ₂	1	9	0001	1001
1 (0001) ₂	2	0	0010	0000
2 (0010) ₂	3	1	0011	0001
3 (0011) ₂	4	2	0100	0010
4 (0100) ₂	5	3	0101	0011
5 (0101) ₂	6	4	0110	0100
6 (0110) ₂	7	5	0111	0101
7 (0111) ₂	8	6	1000	0110
8 (1000) ₂	9	7	1001	0111
9 (1001) ₂	0	8	0000	1000

Tabulka 2.1 Tabulka přechodů čítače

Následující tabulka přechodů klopných obvodů (tab. 2.2) vychází z pravdivostních tabulek jednotlivých klopných obvodů a slouží k vytvoření podmínek pro buzení jejich vstupů k dosažení požadovaných stavů. Návrh bude realizován pomocí klopných obvodů JK.

$Q_n \rightarrow Q_{n+1}$	S	R	J	K	D	T
0 → 0	0	x	0	x	0	0
0 → 1	1	0	1	x	1	1
1 → 0	0	1	x	1	0	1
1 → 1	x	0	x	0	1	0

Tabulka 2.2 Tabulka přechodů klopných obvodů

Dalším krokem je sestavení pravdivostní tabulky pro vstupy J a K klopných obvodů (tab. 2.3), která vychází z tabulky přechodů pro daný desítkový čítač. Pro přehlednější zobrazení je zde použito pro označení současného stavu znaménko minus - Q^- a pro označení následujícího stavu znaménko plus - Q^+ . Proměnná X značí směr čítání

čítače, $X = 0$ pro sestupné čítaní a $X = 1$ pro vzestupné čítaní. Po vyplnění stavů čítače, zjistíme nevyužitě kombinace (nedefinované funkce), v tomto případě stavy 1010 až 1111, a poznačíme si je v tabulce jako neurčité stavy písmenem x [7].

Dále pomocí tabulky přechodů klopných obvodů (JK) řešíme budící podmínky pro vstupy J a K klopných obvodů.

x	$Q_3^- Q_2^- Q_1^- Q_0^-$	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$	$J_3 K_3$	$J_2 K_2$	$J_1 K_1$	$J_0 K_0$
0	0000	1001	1 x	0 x	0 x	1 x
0	0001	0000	0 x	0 x	0 x	x 1
0	0010	0001	0 x	0 x	x 1	1 x
0	0011	0010	0 x	0 x	x 0	x 1
0	0100	0011	0 x	x 1	1 x	1 x
0	0101	0100	0 x	x 0	0 x	x 1
0	0110	0101	0 x	x 0	x 1	1 x
0	0111	0110	0 x	x 0	x 0	x 1
0	1000	0111	x 1	1 x	1 x	1 x
0	1001	1000	x 0	0 x	0 x	x 1
0	1010	xxxx	x x	x x	x x	x x
	⋮	⋮	⋮			⋮
0	1111	xxxx	x x	x x	x x	x x
1	0000	0001	0 x	0 x	0 x	1 x
1	0001	0010	0 x	0 x	1 x	x 1
1	0010	0011	0 x	0 x	x 0	1 x
1	0011	0100	0 x	1 x	x 1	x 1
1	0100	0101	0 x	x 0	0 x	1 x
1	0101	0110	0 x	x 0	1 x	x 1
1	0110	0111	0 x	x 0	x 0	1 x
1	0111	1000	1 x	x 1	x 1	x 1
1	1000	1001	x 0	0 x	0 x	1 x
1	1001	0000	x 1	0 x	0 x	x 1
1	1010	xxxx	x x	x x	x x	x x
	⋮	⋮	⋮			⋮
1	1111	xxxx	x x	x x	x x	x x

Tabulka 2.3 Pravdivostní tabulka pro vstupy JK obvodů

Z pravdivostní tabulky pro vstupy JK obvodů sestavíme Karnaughovy mapy obr. 2.1, ze kterých určíme budící podmínky pro jednotlivé vstupy J a K klopných obvodů. Výsledné funkce jsou již minimalizované.

Karnaughovy mapy

J_3

		$\overline{Q_2} \quad Q_3$		$Q_2 \quad Q_3$			
Q_0	1	0	x	x	0	0	x
	0	0	x	x	0	0	x
	0	0	x	x	0	1	x
Q_1	0	0	x	x	0	0	x

$$J_3 = \bar{x} \cdot \bar{Q}_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0 + x \cdot Q_2 \cdot Q_1 \cdot Q_0$$

K_3

		$\overline{Q_2} \quad Q_3$		$Q_2 \quad Q_3$			
Q_0	x	x	x	1	x	x	x
	x	x	x	0	x	x	1
	x	x	x	x	x	x	x
Q_1	x	x	x	x	x	x	x

$$K_3 = \bar{x} \cdot \bar{Q}_0 + x \cdot Q_0$$

J_2

		$\overline{Q_2} \quad Q_3$		$Q_2 \quad Q_3$			
Q_0	0	x	x	1	0	x	x
	0	x	x	0	0	x	x
	0	x	x	x	1	x	x
Q_1	0	x	x	x	0	x	x

$$J_2 = \bar{x} \cdot Q_3 \cdot \bar{Q}_0 + x \cdot Q_1 \cdot Q_0$$

K_2

		$\overline{Q_2} \quad Q_3$		$Q_2 \quad Q_3$			
Q_0	x	1	x	x	x	0	x
	x	0	x	x	x	0	x
	x	0	x	x	x	1	x
Q_1	x	0	x	x	x	0	x

$$K_2 = \bar{x} \cdot \bar{Q}_1 \cdot \bar{Q}_0 + x \cdot Q_1 \cdot Q_0$$

J_1

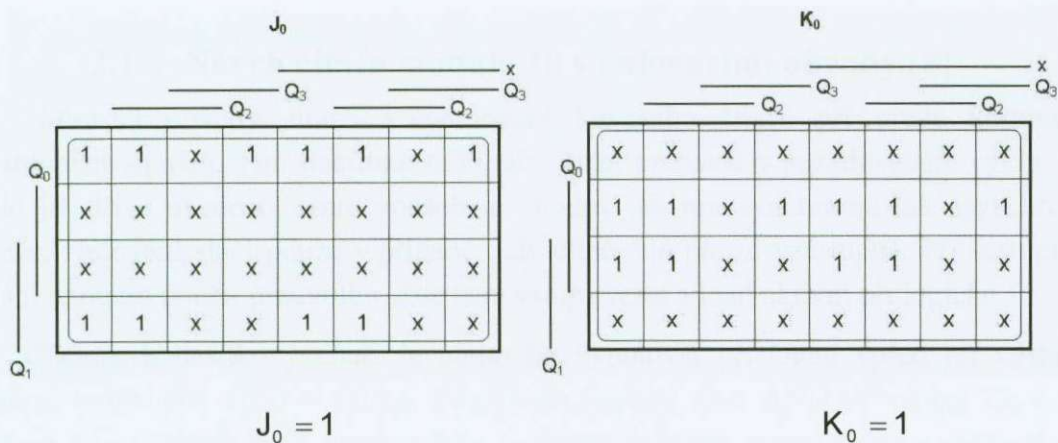
		$\overline{Q_2} \quad Q_3$		$Q_2 \quad Q_3$			
Q_0	0	1	x	1	0	0	x
	0	0	x	0	1	1	x
	x	x	x	x	x	x	x
Q_1	x	x	x	x	x	x	x

$$J_1 = \bar{x} \cdot Q_3 \cdot \bar{Q}_0 + x \cdot \bar{Q}_3 \cdot Q_0 + \bar{x} \cdot Q_2 \cdot \bar{Q}_0$$

K_1

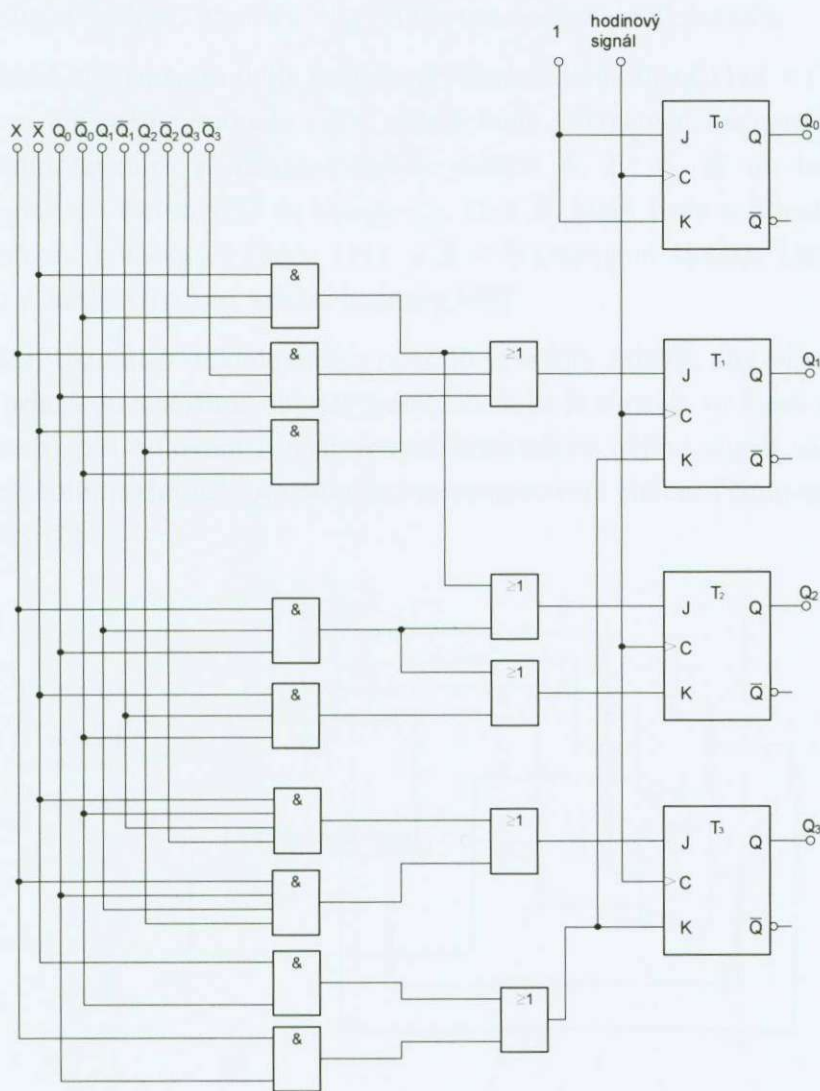
		$\overline{Q_2} \quad Q_3$		$Q_2 \quad Q_3$			
Q_0	x	x	x	x	x	x	x
	x	x	x	x	x	x	x
	0	0	x	x	1	1	x
Q_1	1	1	x	x	0	0	x

$$K_1 = \bar{x} \cdot \bar{Q}_0 + x \cdot Q_0$$



Obr. 2.1 Karnaughovy mapy

Pomocí získaných funkcí lze zhotovit výsledné zapojení (obr. 2.2) hradlové sítě s klopnými obvody JK.



Obr. 2.2 Schéma synchronního desítkového vratného čítače s klopnými obvody JK a hradlovou sítí

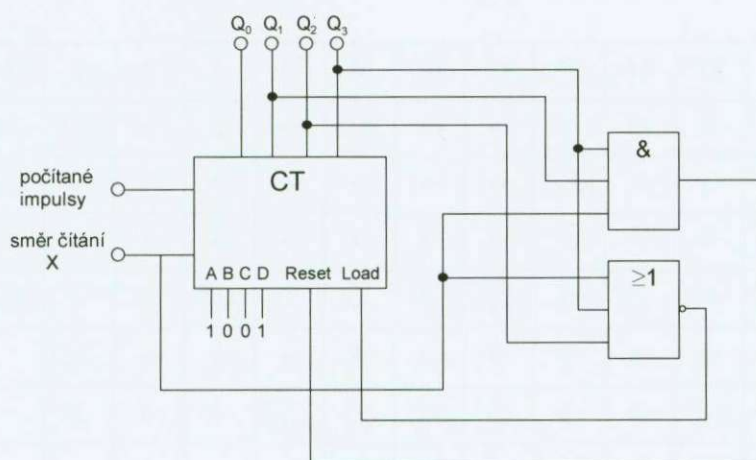
2.1.2 Návrh čítače modulo 10 s nulovacími obvody [8]

Nulovací obvody slouží k vynulování binárního čítače při určité kombinaci výstupních signálů. Tím docílíme toho, aby čítač pracoval v požadovaném cyklu. Jak bylo již dříve uvedeno, tento způsob je vhodný jak pro synchronní tak asynchronní čítače. Nulování stačí pouze v případě, kdy čítač čítá pouze vzestupně. Při sestupném čítání je nutno použít předvolbu. Zde jsou vstupy reset a load aktivní při logické 1.

Chceme-li desítkový čítač, je nutno ho vynulovat při čítání vpřed při výstupní binární kombinaci $1010 = (10)_{10}$. Použijeme logický člen AND se vstupy Q_3 a Q_1 , jelikož tyto výstupy mají pouze tehdy současně výstupy rovny jedné v cyklu 0 - 9. Spolu s těmito výstupy přivedeme do logického členu AND i signál X. Pouze při výstupní kombinaci čítače $Q_3, Q_1 = 1$ a $X = 1$ (vzestupném čítání) bude na výstupu logického členu AND logická, která vynuluje čítač. Stav při kterém bylo vyvoláno nulování trvá jen krátkou dobu. Čítač tedy prochází stavy 0 až 9, a ze stavu 9 do stavu 0 po velmi krátkém výskytu stavu 10. V cyklu je tak deset stabilních stavů.

Pokud čítač čítá směrem dolů, je třeba při binární kombinaci $1111 = (F)_{16}$, nastavit jeho vnitřní proměnné na hodnotu 1001, odkud bude pokračovat sestupné čítání. To se provede přednastavením přednastavovacích vstupů A, B, C, D na hodnotu 1001 a pomocí logického členu NOR se vstupy Q_3, Q_2 a X, který bude mít hodnotu logické nuly při výstupní kombinaci čítače 1111 a $X = 0$ (sestupné čítání). Tato logika pak nastaví čítač v danou chvíli na vnitřní hodnotu 1001.

Při použití externích dekódovacích obvodů je nutno zajistit, aby vlivem zpoždění signálu při průchodu vnějšími obvody nemohlo dojít k situaci, ve které se na vstupu (nebo vstupech) pro nulování a nastavování krátkodobě objeví signál aktivní úrovně ještě před splněním podmínek pro nulování nebo nastavení čítače. Těmto stavům se říká hazardní stavy [2].

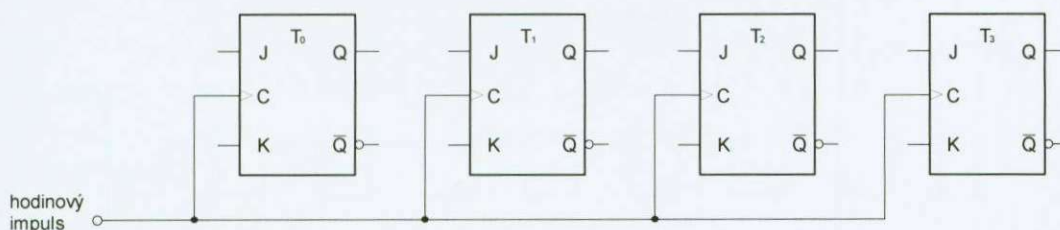


Obr. 2.3 Funkční zapojení binárního čítače modulo 10 s nulovacími a nastavovacími obvody

2.2 Návrh čítače jako děliče frekvence [8]

Tyto obvody se používají, potřebujeme-li vydělit určitý počet impulsů přirozeným číslem m , např. pro úpravu frekvence signálu z generátoru hodinového (obdélníkového) signálu nebo chceme-li více signálů o rozdílné frekvenci v jednom časovém okamžiku. Při použití krystalových oscilátorů, jako generátorů hodinových signálů, dostaneme většinou signál o frekvenci několika MHz. Při použití děliče frekvence lze dosáhnout frekvence jednotek Hz, tento signál pak můžeme dále použít například pro řízení klopných obvodů a čítačů.

Jako děliče kmitočtu celým číslem m se používají čítače *modulo m* (obr. 2.4). Pro tuto aplikaci není podstatné, kterými stavy čítač prochází, jen jich musí být m v cyklu a jednou za cyklus musí být generován výstupní impuls. Při návrhu se snažíme pouze o to, aby případná hradlová síť byla co nejjednodušší. Předpis pro zapojení děliče, do $m = 16$ s klopnými obvody JK pro různé dělicí poměry, je uveden v tabulce 2.4 [8]. Číslo m udává dělicí poměr, který je uveden v prvním vodorovném řádku této tabulky. Dělicí poměr $m = 1$ a 2 nejsou zde pro svou jednoduchost uvedena. V prvním svislém sloupci jsou seřazeny vstupy J a K , číselný index udává číslo klopného obvodu.



Obr. 2.4 Dělič modulo m bez hradlové sítě

Tabulka obsahuje tři druhy políček. Políčka obsazena logickými součiny proměnných Q , kde index u proměnné značí číslo klopného obvodu.

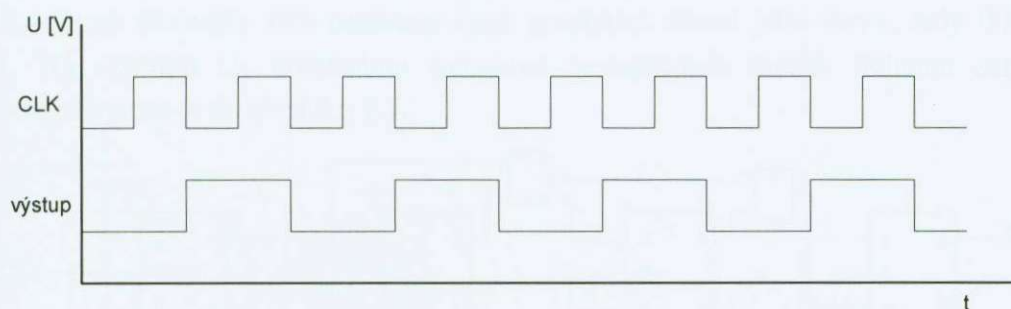
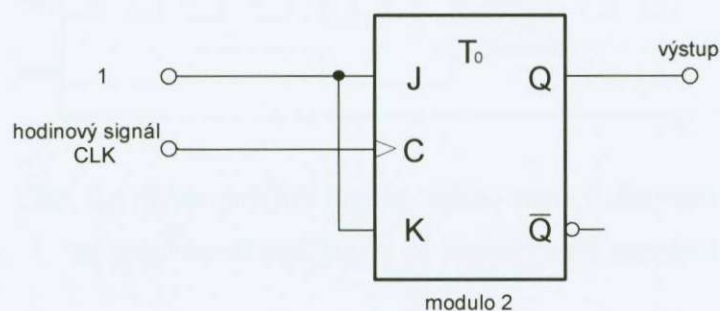
m	3	4	5	6	7	8	9	10	11	12	13	14	15	16
J_0	\bar{Q}_1	←	$\bar{Q}_1 \bar{Q}_2$	←	\bar{Q}_2	←	$\bar{Q}_1 \bar{Q}_3$	←	←	←	←	←	←	←
K_0	\bar{Q}_1	Q_1	←	←	←	←	←	←	←	$Q_1 \bar{Q}_2$	←	←	←	$Q_1 Q_2$
J_1	Q_0	←	←	←	←	←	←	←	←	←	←	←	←	←
K_1	\bar{Q}_0	←	←	Q_2	$\bar{Q}_0 Q_2$	\bar{Q}_0	Q_2	←	$\bar{Q}_0 Q_2$	←	Q_2	←	←	\bar{Q}_2
J_2			$\bar{Q}_0 Q_1$	←	←	←	←	←	←	←	←	←	←	Q_1
K_2			\bar{Q}_1	←	←	$\bar{Q}_0 \bar{Q}_1$	Q_3	$\bar{Q}_1 Q_3$	Q_3	←	←	$\bar{Q}_1 Q_3$	$Q_1 Q_3$	\bar{Q}_0
J_3							$Q_0 Q_2$	←	←	←	←	←	$Q_0 Q_1 Q_2$	$\bar{Q}_0 \bar{Q}_1 Q_2$
K_3							Q_2	←	\bar{Q}_1	←	$\bar{Q}_0 \bar{Q}_1$	$\bar{Q}_1 \bar{Q}_2$	$\bar{Q}_0 \bar{Q}_1$	$\bar{Q}_0 \bar{Q}_1 \bar{Q}_2$

Tab. 2.4 Tabulka zapojení děliče pro různé dělicí poměry [8]

Tyto součiny pro daný dělicí poměr musíme přivést na J nebo K vstup daného klopného obvodu podle příslušného řádku. Další políčka jsou označena šipkami. V těchto políčkách použijeme nejbližší údaj pro součin Q , který se nachází v daném řádku vlevo od tohoto políčka. Nevyplněné políčka značí, že daný vstup není použit.

Realizace děliče dvěma a šestnácti jsou dva nejjednodušší zapojení čítače modulo m jako děliče.

Dělič dvěma (modulo 2) lze realizovat pomocí jednoho klopného obvodu JK. Na vstupy J a K jsou přivedeny hodnoty logické 1, čímž klopný obvod překlápá s každou týlovou hranou hodinového signálu. Schéma zapojení a časový diagram je na obrázku 2.5.

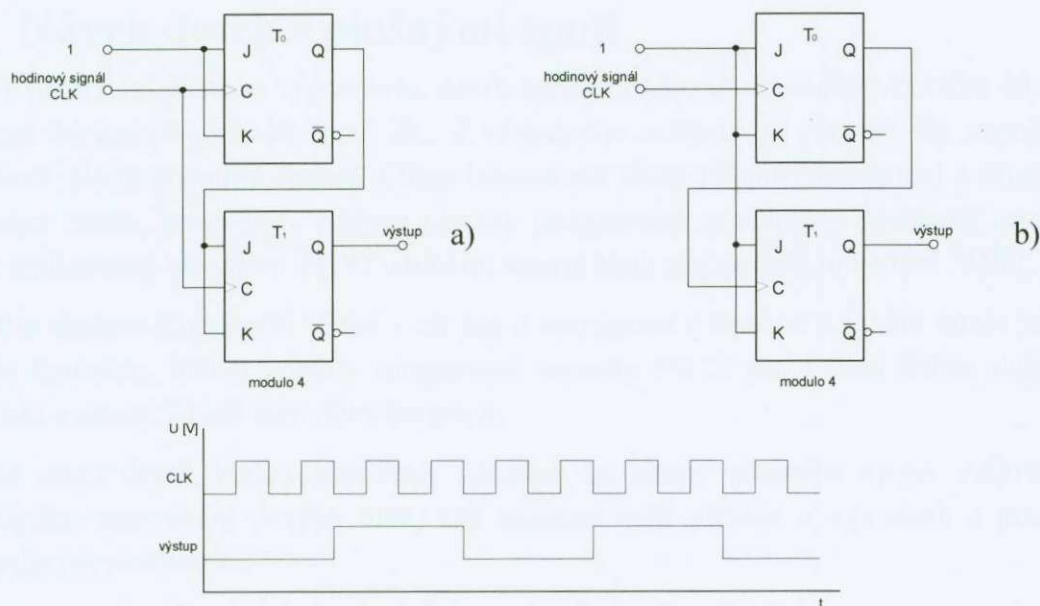


Obr. 2.5 Schéma děliče dvěma a jeho časový diagram

Dělič čtyřmi (modulo 4) lze realizovat pomocí dvou klopných obvodů JK. Při synchronním sestavení mají oba JK obvody stejný hodinový impuls. Na vstupy J_0 a K_0 je přivedena logická 1 a na vstupy J_1 a K_1 se přivede signál z výstupu Q_0 .

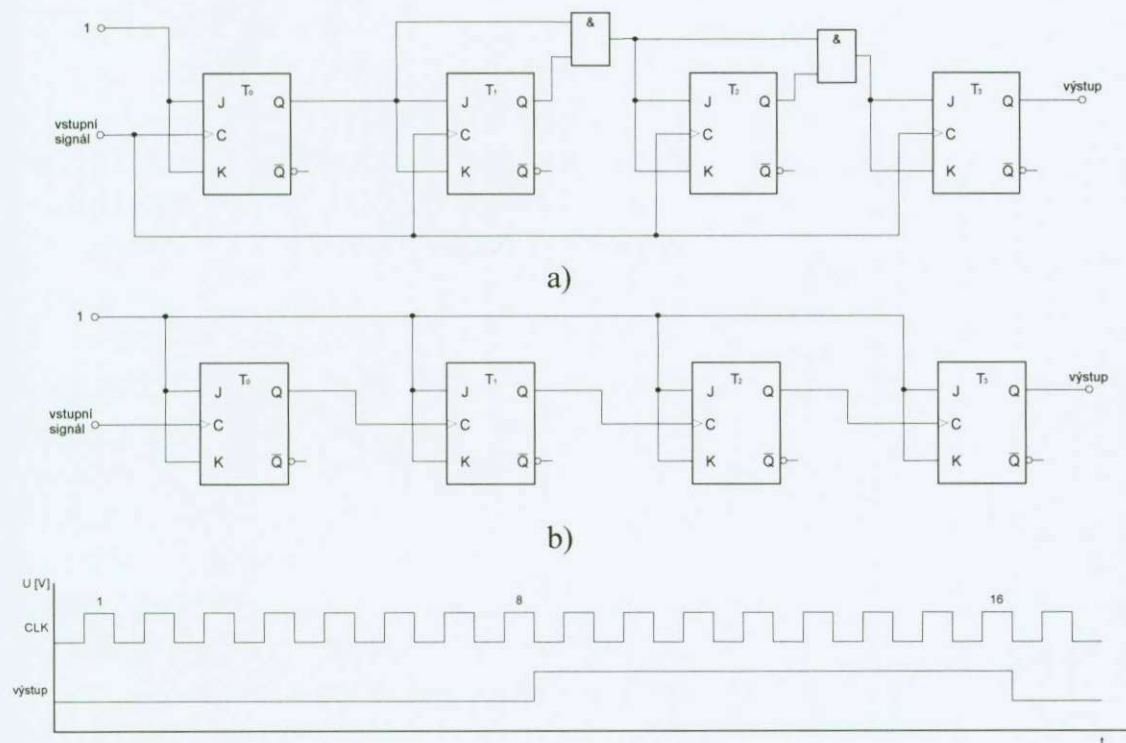
Při asynchronním sestavení je na vstupy J_0 , K_0 , J_1 a K_1 přivedena logická 1. Na vstupu pro hodinový signál druhého klopného obvodu je pak přiveden signál z výstupu Q_0 .

Zde opět obvody překlápá s týlovou hranou hodinového signálu. Schéma zapojení a časový diagram je na obrázku 2.6.



Obr. 2.6 Schéma děliče čtyřmi a jeho časový diagram
 a) synchronní zapojení b) asynchronní zapojení

Pro sestavení děliče šestnácti (modulo 16) je zapotřebí 4 bitového binárního čítače (4 JK klopné obvody). Zde necháme čítač procházet všemi jeho stavy, tedy 0000 až 1111. Na výstupu Q_3 dostáváme frekvenci šestnáctkrát menší. Schéma zapojení a časový diagram je na obrázku 2.7.



Obr. 2.7 Schéma děliče šestnácti a jeho časový diagram
 a) synchronní zapojení b) asynchronní zapojení

III Návrh desek s plošnými spoji

V předchozí části je vypracován návrh synchronního desítkového vratného čítače pomocí klopných obvodů typu JK. Z výsledného schéma je zřejmé, že zapojení hradlové sítě je poměrně složité. Cílem laboratorní úlohy je spíše seznámení s činností a funkcí čítače, proto jsou v úloze použity integrované synchronní desítkové vratný čítač realizovaný obvodem 74192 a binární vratný čítač realizovaný obvodem 74193.

Pro druhou laboratorní úlohu v níž jde o seznámení s činností a funkcí čítače jako děliče kmitočtu, budou použity integrované obvody 74112 pro funkci děliče dvěma a čtyřmi a obvod 74163 jako dělič šestnácti.

U obou desek budou součástky letovány za strany plošného spoje, z důvodu pozdějšího zpracování daných úloh, aby studenti měli přehled o vývodech a pozici jednotlivých součástek.

3.1 Návrh plošných spojů pro úlohu čítače

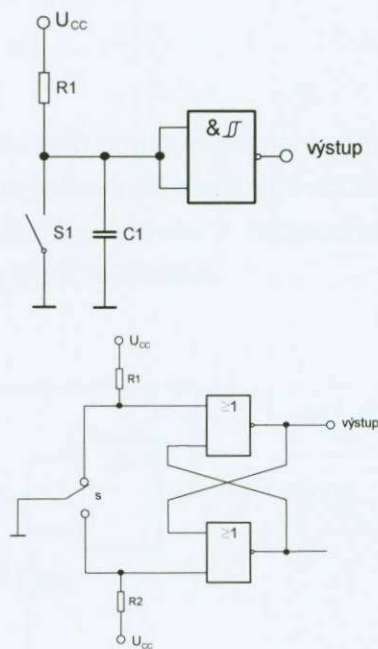
3.1.1 Deska I (čítače)

Zde je úloha složena ze dvou desek. První deska obsahuje dva vratné čítače, jeden desítkový čítač 74192 a jeden binární čítač 74193, čtveřici Schmittovo klopných obvodů a vstupy pro napájení U_{CC} a GND. Na vstupu napájení je umístěna ochranná dioda D1 jako ochrana před přepólováním napájení.

Integrovaný obvod 74192 (74193) je 4-bitový synchronní vratný (up/down) čítač s asynchronními vstupy pro přednastavení, nulování a hodinový signál a s výstupy pro přenos. Výstupy Q_A až Q_D obou čítačů jsou vodiči propojeny přes konektor k dekodérům na druhé desce. Ostatní potřebné vstupy a výstupy jsou vyvedeny vedle pouzdra, které budou studenti připojovat podle zadání. Dalším obvodem na desce je IO 74132, který osahuje čtveřici Schmittovo klopných obvodů NAND. Tento obvod slouží k odstranění zákmitů tlačítka a k vytvoření jednoduchého astabilního klopného obvodu, generátoru impulsu o nízké frekvenci. Ke každému integrovanému obvodu se zapojí blokovací keramický kondenzátor C9, C10 a C11 o hodnotě 100 nF mezi U_{CC} a GND. Zabrání se tím průniku vysokofrekvenčního rušení do napájení a pojistí stabilita napájecího napětí na čipu při krátkých výkonových špičkách. Tento kondenzátor je umístěn v těsné blízkosti logického obvodu [5].

3.1.1.1 Korekční obvody pro tlačítka [2, 5]

Pokud by bylo tlačítko připojeno přímo na vstup obvodu, čítač by začal čítat chaoticky. Po stisknutí tlačítka tlačítko mírně zakmitá a obvod se bude chovat jako by bylo tlačítko zmáčknuto několikrát (až stokrát a více dle typu tlačítka a integrovaného obvodu). Právě proti tomuto jevu se používají korekční obvody. V nejjednodušším případě se používá za spínačem integrační RC članku, k časovému překlenutí přechodného děje při zapnutí nebo vypnutí kontaktu ($\tau \approx \text{ms}$). Výstupní napětí členu RC se tvaruje pomocí Schmittova klopného obvodu. Další možností je např. použití klopného obvodu RS. Výhodou tohoto zapojení je, že nezpůsobuje zpoždění v důsledku nabíjení a vybíjení kondenzátoru. Nevýhodou je, že toto zapojení je použitelné jen pro přepínací kontakt, ne pro spínací. Zmíněné typy korekčních obvodů jsou zde uvedeny na následujícím obrázku 3.1.

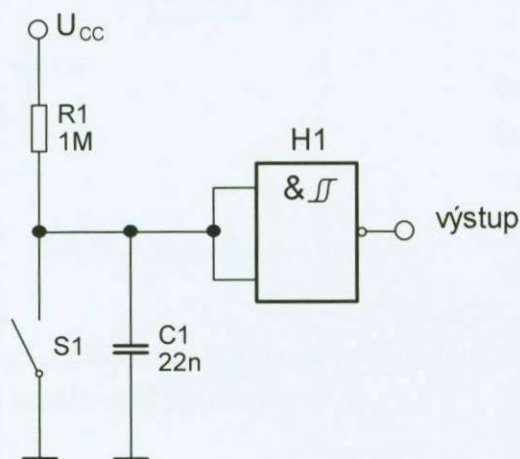


Obr. 3.1 Korekční obvody pro tlačítka

Vzhledem k tomu, že je potřeba použít spínač, je tlačítko zapojeno podle prvního obrázku. Pro toto zapojení se využije jedno hradlo z IO 74132 a zbývající se použijí na jednoduchý astabilní klopný obvod.

Ošetření tlačítka pomocí integračního RC článku [5]

Jedná se o bistabilní klopný obvod ovládaný jedním tlačítkem. Funkce obvodu je velmi jednoduchá. Tlačítko je proti záskmitům ošetřeno rezistorem R1, kondenzátorem C1 a Schmittovým klopným obvodem H1.



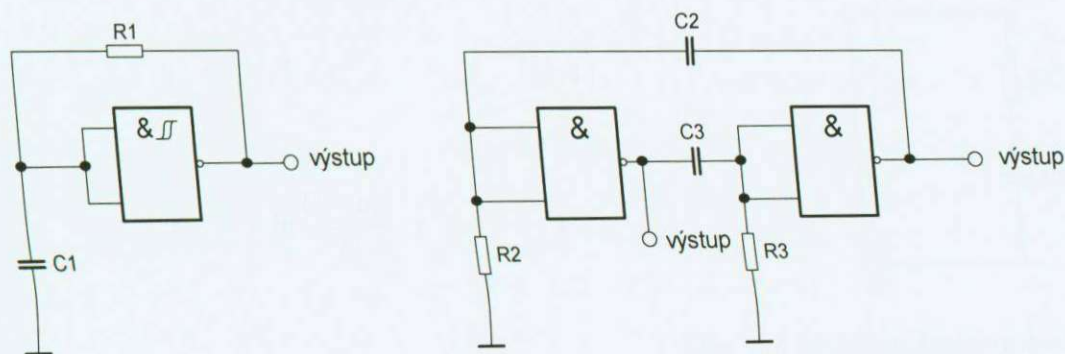
Obr. 3.2 Úprava tlačítka

Po stlačení tlačítka S1 dojde k rychlému vybití kondenzátoru C1, na vstupech hradla bude úroveň logické 0 a na výstupu hradla logická 1 (NAND). Po uvolnění tlačítka dojde k nabíjení kondenzátoru C1 přes rezistor R1. Po uplynutí doby zhruba 11 ms se objeví na vstupech hradla H1 úroveň logické 1 a hradlo přepoklopí. Velikost hystereze Schmittova klopného obvodu musí být větší než hodnota, o kterou se zvýší napětí na kondenzátoru po dobu odskoku kontaktu.

Dále deska obsahuje tři přepínače S2, S3 a S4. Přepínače S2 a S3 jsou částečně zapojeny podle jejich funkce, aby splňovali požadavky logických úrovní pro funkce reset a set čítačů. Poslední přepínač S4 bude po přivedení požadovaných vstupů a výstupů přepínat mezi směry čítání čítačů. Pro tyto přepínače nejsou nutné korekční obvody.

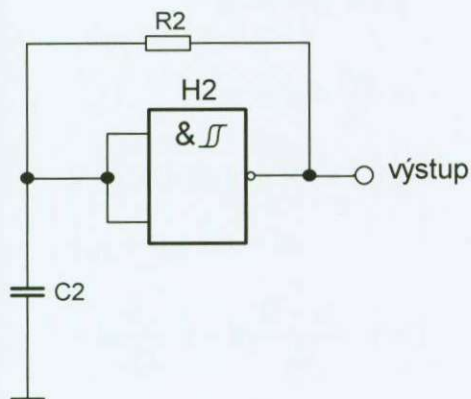
3.1.1.2 Jednoduché astabilní obvody [2, 5]

Astabilní klopné obvody se dají s logickými obvody postavit poměrně snadno s tím, že ale nezaručují velkou přesnost opakování. Úplně nejjednodušší oscilátor se dá postavit s jedním hradlem nand s hysterezí a jedním kondenzátorem a rezistorem. Následující obrázek 3.3 ukazuje dvě zapojení astabilního klopného obvodu.



Obr. 3.3 Astabilní klopné obvody

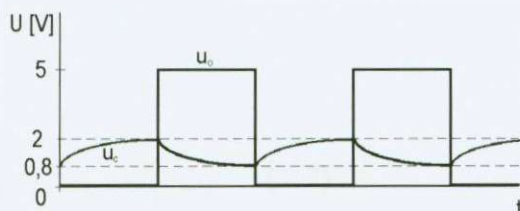
Návrh oscilátoru



Obr. 3.4 Jednoduchý oscilátor

Další možností jak měnit stav čítače bez ručního krokování je vytvoření oscilátoru (obr. 3.4) např. s frekvencí 1 Hz. Tento kmitočet byl vybrán záměrně, není pomalý a zároveň tak rychlý, aby člověk nepostřehl ve kterém stavu se čítač zrovna nachází.

Obvod pracuje jednoduše. Pokud se výstup hradla H2 nachází ve stavu úrovně logické 1, kondenzátor se nabíjí přes rezistor R2 podle vzorce (1.2). Pokud napětí na kondenzátoru dosáhne hodnoty větší než 2 V, změní se skokově výstupní úroveň hradla na logickou 0. Poté dojde k vybití kondenzátoru přes rezistor podle vzorce (1.4), do doby než napětí na kondenzátoru neklesne pod hodnotu 0,8 V. Při tomto napětí hradlo opět překlopí.



Obr. 3.5 Průběhy napětí na kondenzátoru

Perioda je zde daná dobou pro nabití kondenzátoru C2 na hodnotu 2 V a dobou vybití kondenzátoru na hodnotu 0,8 V. Střída impulsu nebude 0,5 ale spíše něco okolo 0,7, což není na závadu.

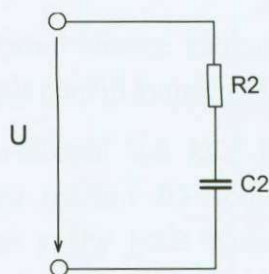
Odvození vzorců integračního RC článku:

časová konstanta obvodu $\tau \approx R \cdot C$

napětí na kondenzátoru u_c při nabíjení přes rezistor R2:

$$u_c = U \cdot (1 - e^{-\frac{t}{\tau}}) \quad (1.1)$$

$$t_{nab} = -\ln \frac{U - u_c}{U} \cdot \tau \quad (1.2)$$



Obr. 3.6 Nabíjení kondenzátoru

napětí na kondenzátoru u_c při vybíjení přes rezistor R2:

$$u_c = -u_R = Ue^{-\frac{t}{\tau}} \quad (1.3)$$

$$t_{vyb} = -\ln \frac{u_c}{U} \cdot \tau \quad (1.4)$$

Výpočet hodnot R2 a C2 pro $f = 1\text{Hz}$:

$$t_{vyb} + t_{nab} = t = 1\text{s}$$

$$-\ln \frac{u_c}{U} \cdot \tau - \ln \frac{U - u_c}{U} \cdot \tau = 1 \quad (1.5)$$

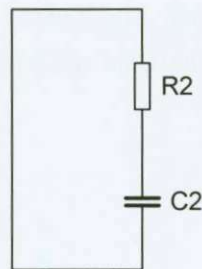
$$\tau = \frac{1}{\left(-\ln \frac{u_c}{U} - \ln \frac{U - u_c}{U}\right)} \quad (1.6)$$

$$\tau = \frac{1}{\left(-\ln \frac{0,8}{2} - \ln \frac{5-2}{5}\right)}$$

$$\underline{\underline{\tau = 0,701\text{s}}}$$

$$\tau = R \cdot C \quad (1.7)$$

$$R = \frac{\tau}{C} = \frac{0,701}{470 \cdot 10^{-6}} = \underline{\underline{1491\ \Omega}}$$



Obr. 3.7 Vybíjení kondenzátoru

Jako nejvhodnější se ukázalo použití kondenzátoru o kapacitě $470\ \mu\text{F}$, kdy vyjde podle vztahu (1.7) velikost odporu $1491\ \Omega$. Nejbližší hodnota rezistoru, která bude použita je v řadě E12 $1500\ \Omega$. Oscilátor o frekvenci $1\ \text{Hz}$ bude tedy sestaven z rezistoru R2 s odporem $1,5\ \text{k}\Omega$, kondenzátoru C2 o kapacitě $470\ \mu\text{F}$ a hradla H2 obvodu 74132.

Výpočet hodnot R3 a C3 pro proměnnou frekvenci, $f \approx 0,5\text{Hz} - 3\text{Hz}$

Pokud nahradíme rezistor R2 proměnným rezistorem o odporu o vhodné velikosti, bude se měnit i frekvence oscilátoru. Pro výpočet hodnot součástek použijí vzorec (1.6).

Jako nejvhodnější se ukázalo použití potenciometru o velikosti $2,2\ \text{k}\Omega$. Pro nastavení minimální hodnoty odporu zpětné vazby je zapojen rezistor R3 sériově s proměnným rezistorem R4. Nejmenší hodnota odporu zpětné vazby bude tvořena rezistorem R3 ($R4 = 0$) o velikosti $560\ \Omega$, kdy tímto rezistorem bude protékat $10\ \text{mA}$. Největší hodnota odporu zpětné vazby bude o velikosti $R = R3 + R4$ ($R4 = 2,2\ \text{k}\Omega$). Proud zpětnou vazbou potom bude $1,9\ \text{mA}$.

Výpočet frekvence

Pokud tedy použijeme rezistory R3 a R4 o již daných hodnotách spolu s kondenzátorem C3 o velikosti 470 μF , bude se pohybovat frekvence oscilátoru přibližně od 0,5 Hz do 3 Hz.

Časová konstanta obvodu τ tedy bude podle vztahu (1.7):

$$\tau_{\min} = R \cdot C = (R3 + R4) \cdot C2 = 560 \cdot 470 \cdot 10^{-6} = \underline{\underline{0,263 \text{ s}}}$$

$$\tau_{\max} = R \cdot C = (R3 + R4) \cdot C2 = 2760 \cdot 470 \cdot 10^{-6} = \underline{\underline{1,297 \text{ s}}}$$

výpočet doby podle vzorce (1.2) a (1.4):

$$t = \tau \cdot \left(-\ln \frac{u_C}{U} - \ln \frac{U - u_C}{U} \right)$$

$$t_{\min} = \tau \cdot \left(-\ln \frac{u_C}{U} - \ln \frac{U - u_C}{U} \right) = 0,263 \cdot 1,427 = \underline{\underline{0,375 \text{ ms}}}$$

$$t_{\max} = \tau \cdot \left(-\ln \frac{u_C}{U} - \ln \frac{U - u_C}{U} \right) = 1,297 \cdot 1,427 = \underline{\underline{1,851 \text{ ms}}}$$

výpočet frekvence podle vzorce (1.8)

$$f_{\max} = \frac{1}{t_{\min}} = \underline{\underline{2,67 \text{ Hz}}} \quad (1.8)$$

$$f_{\min} = \frac{1}{t_{\max}} = \underline{\underline{0,54 \text{ Hz}}}$$

3.1.1.3 Indikace přenosu

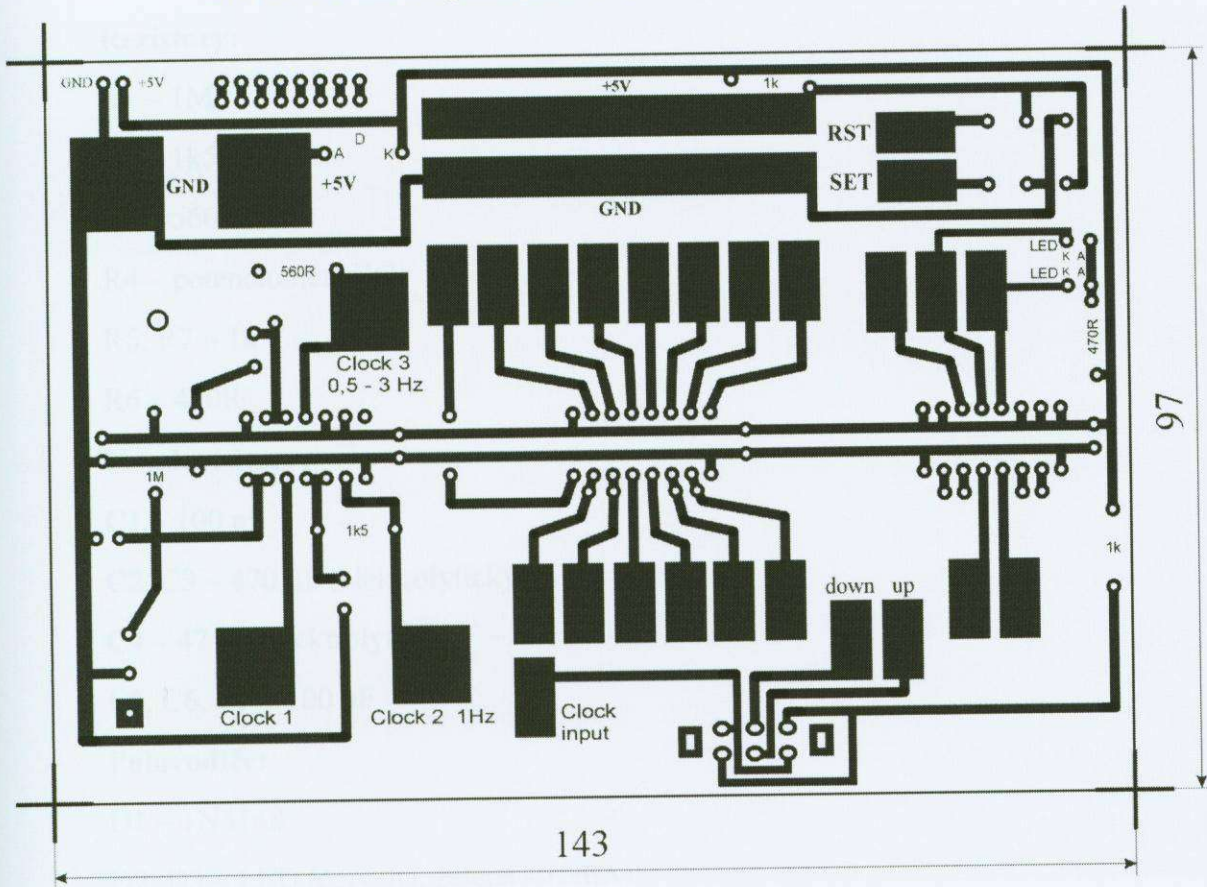
K indikaci přenosu desítkového čítače jsou na desce umístěny dvě 10 mA LED diody. Jedna zelená pro přenos do vyššího řádu a jedna červené pro přenos při čítání vzad. Katody diod jsou zapojeny k příslušným výstupům daného čítače. Anody obou diod jsou spojeny a přivedeny na napájecí napětí přes ochranný rezistor R6.

Vzhledem k tomu, že úbytek napětí U_D na zelené LED diodě je 2 V a na červené LED diodě 1,65 V, je zvolen ochranný rezistor R6 s odporem 470 Ω . Čímž bude protékat proud 6,3 mA zelenou a 7,1 mA červenou LED diodou.

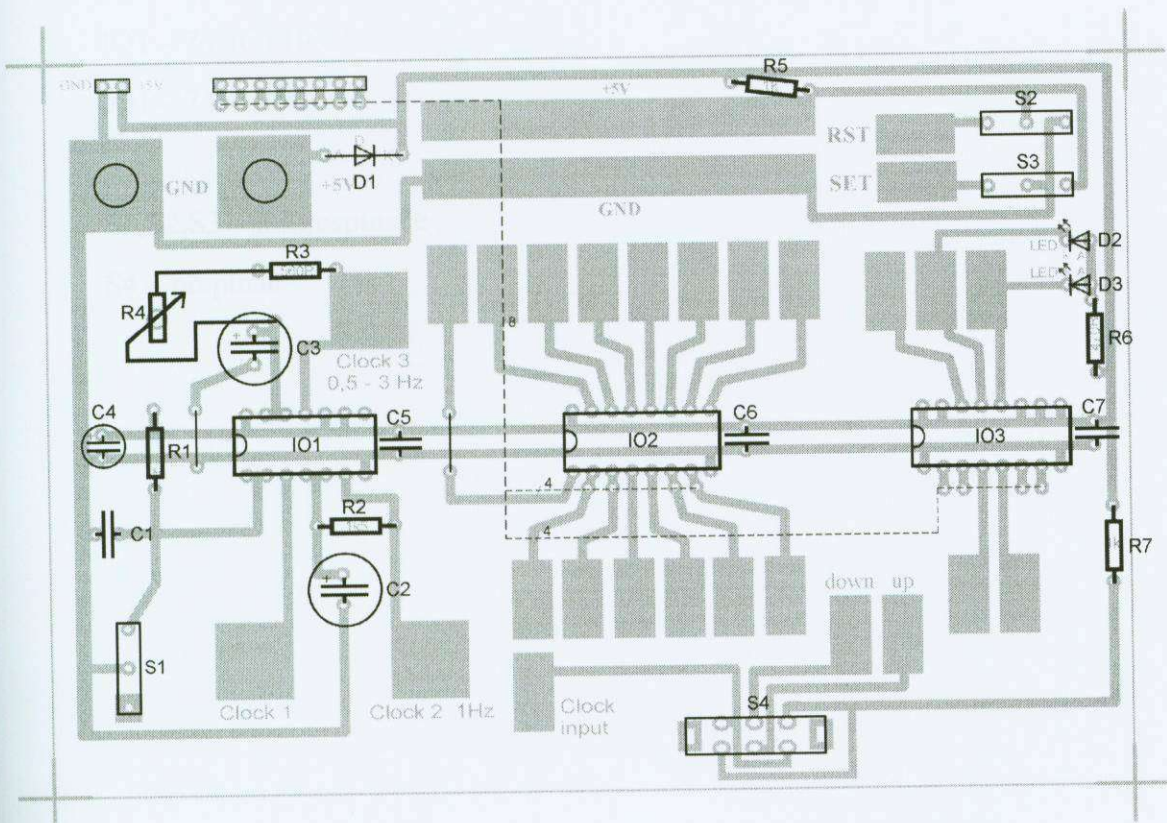
$$R_{\varepsilon} = \frac{U_{CC} - U_{D\varepsilon}}{I_{D\max}} = \frac{5 - 165 \cdot 10^{-2}}{10 \cdot 10^{-3}} = \underline{\underline{335 \Omega}} \quad (1.9)$$

$$R_z = \frac{U_{CC} - U_{Dz}}{I_{D\max}} = \frac{5 - 2}{10 \cdot 10^{-3}} = \underline{\underline{300 \Omega}}$$

3.1.1.4 Deska I s plošnými spoji a rozmístěním součástek



Obr. 3.8 Deska I ze strany plošných spojů M 1:1



Obr. 3.9 Schéma osazení desky I ze strany spojů M 1:1

3.1.1.5 Seznam součástek

Rezistory:

R1 – 1M

R2 – 1k5

R3 – 560R

R4 – potenciometr 2k2

R5, R7 – 1k

R6 – 470R

Kondenzátory:

C1 – 100 nF

C2, C3 – 470 μ F (elektrolytický)

C4 – 47 μ F (elektrolytický)

C5, C6, C7 – 100 nF

Polovodiče:

D1 – 1N4148

D2, D3 – LED (červená, zelená - 10mA)

IO1 – 74HCT132

IO1 – 74HCT193

IO1 – 74HC192

S1, S2, S3 – mikrospínače

S4 – přepínač

3.1.2 Deska II (displeje a dekodéry)

Druhá deska obsahuje dva jednomístné sedmissegmentové displeje se společnou anodou HDSP - 5501, které budou zobrazovat potřebné znaky. Společná anoda bude připojena na napájecí napětí 5 V. Podrobnější popis použitého typu displeje je obsažen v kapitole 4.1.4.4. Dále deska bude obsahovat dva dekodéry (IO 7447), převádějící BCD kód na kód sedmissegmentových zobrazovacích jednotek. Vstupy A, B, C a D se propojí s výstupy čítače a na vstupy \overline{LT} , $\overline{BI}/\overline{RBO}$ a \overline{RBI} se přivede hodnota logické 1. Podrobnější popis funkce uvedených vstupů je popsán v kapitole 4.1.4.3. Proud k těmto vstupům se omezí rezistorem R8 o velikosti odporu 1 k Ω . Jelikož dekodér 7447 má na výstupní tranzistory, které spínají na zem a nemají implementované ochranné odpory, je nutno je do zapojení doplnit. Zde platí stejné zákonitosti jako pro běžné LED diody.

Výpočet hodnot předřadných rezistorů

Napětí zdroje U_{CC} je 5 V. Pro výpočet předřadného rezistoru k 10 mA LED diodě displeje musíme započítat též úbytek napětí U_T (U_{CE}) na tranzistoru, který je 0,1 V při zapojení tranzistoru jako spínače. Úbytek napětí U_D na zelené LED diodě je 2 V. Proud I_D v propustném směru volíme max. 10 mA.

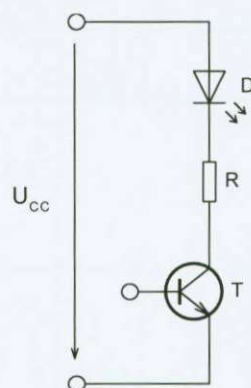
Podle Ohmova zákona:

$$R = \frac{U_{CC} - U_T - U_D}{I_D} = \frac{5 - 1 \cdot 10^{-1} - 2}{10 \cdot 10^{-3}} = \underline{\underline{290 \Omega}} \quad (1.10)$$

Odpor vyšel 290 Ω , ale na desce byly nakonec použity rezistory o velikosti 470 Ω , což omezilo proud I_D na 6,1 mA, který se ukázal být postačující.

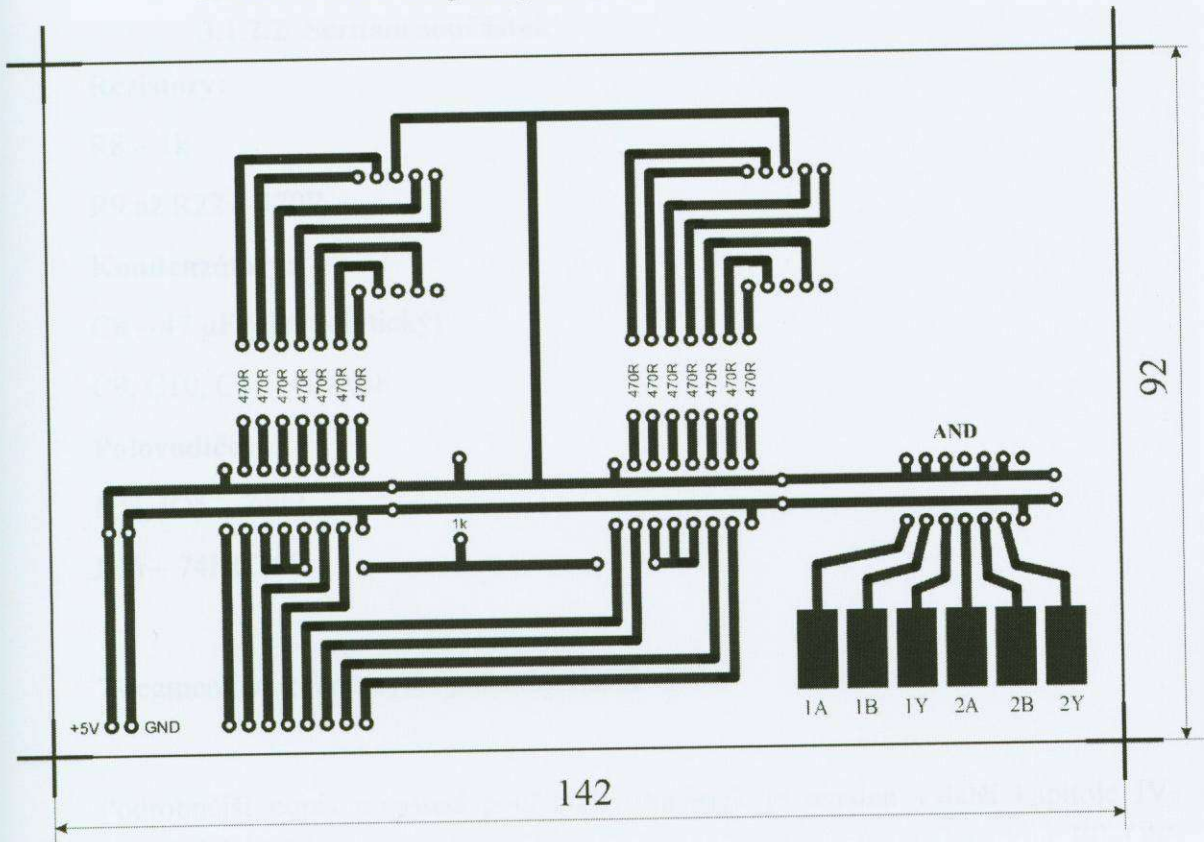
Posledním obvodem nacházejícím se na první desce je obvod typu AND (IO 7408), který bude sloužit ke zkrácení cyklu binárního čítače.

Opět bude připojen ke každému integrovanému obvodu blokovací kondenzátor o hodnotě 100 nF mezi U_{CC} a GND.

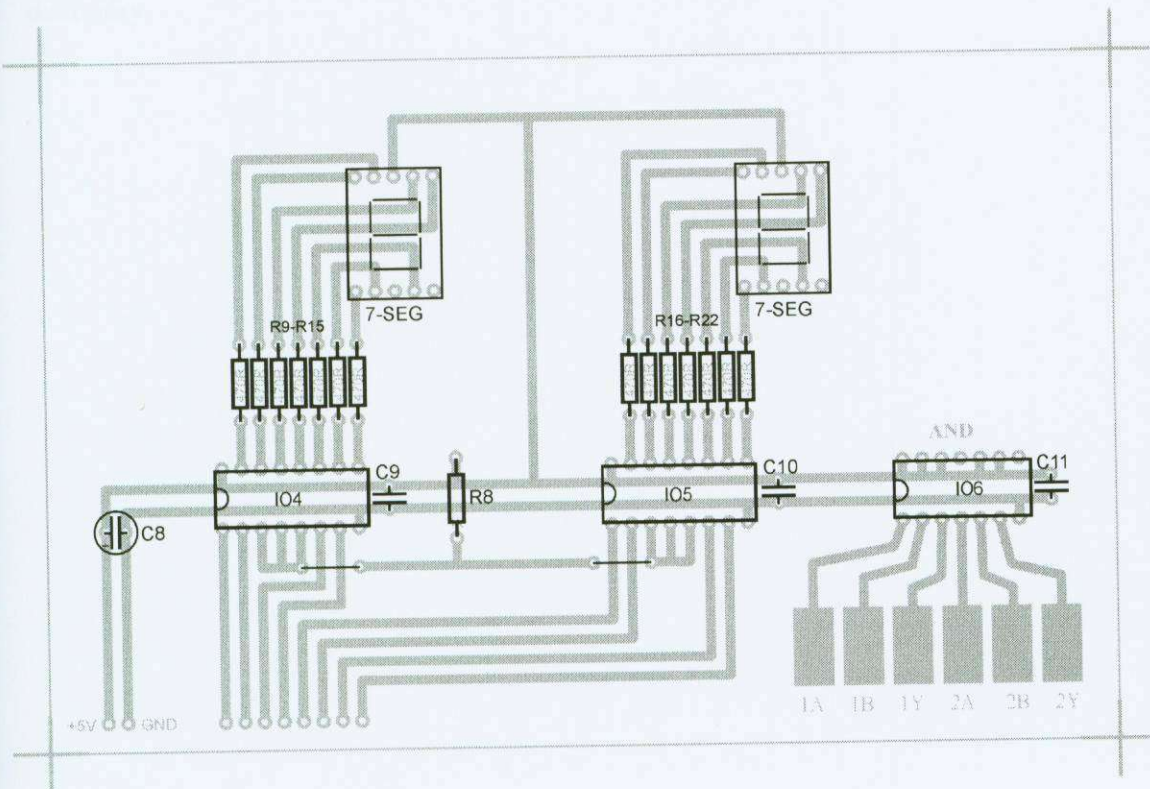


Obr. 3.10 Zapojení pro výpočet předřadných rezistorů

3.1.2.1 Deska II s plošnými spoji a rozmístěním součástek



Obr. 3.11 Deska II ze strany plošných spojů M 1:1



Obr. 3.12 Schéma osazení desky II ze strany spojů M 1:1

3.1.2.2 Seznam součástek

Rezistory:

R8 – 1k

R9 až R22 – 470R

Kondenzátory:

C8 – 47 μ F (elektrolytický)

C9, C10, C11 – 100 nF

Polovodiče:

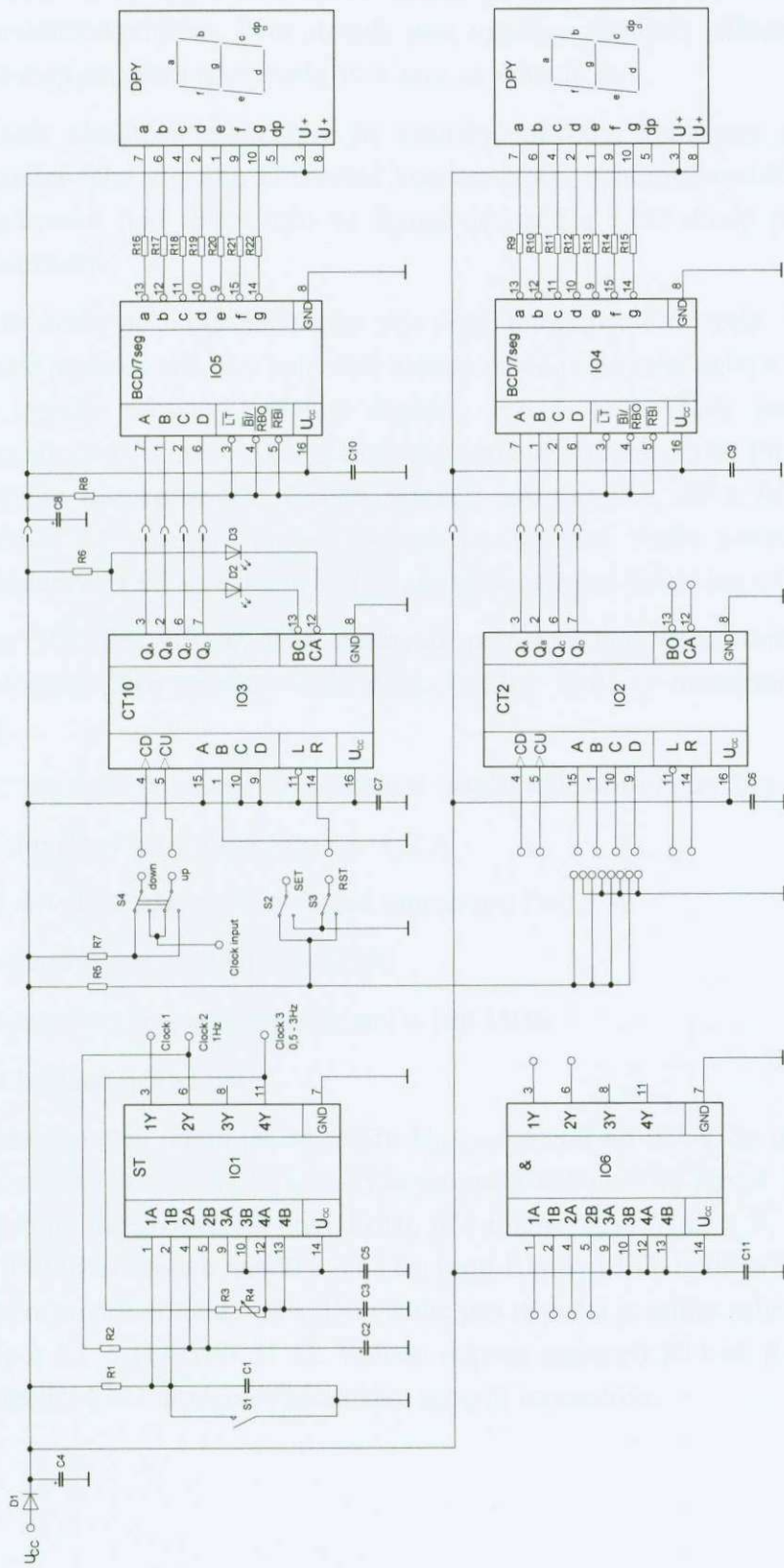
IO4, IO5 – 7447

IO6 – 74HCT08

7-segmentové zobrazovací jednotky HDSP-5501

Podrobnější popis doposud použitých součástek je uveden v další kapitole IV. Charakteristické údaje použitých součástek byly použity z internetového zdroje [9]. Obě desky jsou propojeny kabelem, kde se přenáší napájecí napětí a výstupy čítačů pro dekodéry.

3.1.3 Schéma zapojení



Obr. 3.13 Schéma zapojení desky I a II

3.2 Návrh plošného spoje pro úlohu děliče frekvence

Jak již bylo uvedeno, v této úloze budou použity integrované obvody 74112 a 74163 jako děliče kmitočtu. Tyto obvody jsou vybrány záměrně, jelikož oba mají 16 vývodů a oba mají napájení na vývodu 16 a zem na vývodu 8.

Deska bude obsahovat patici pro již zmíněné obvody, konektory pro připojení napájení a hodinového signálu, blokovací kondenzátory, ochranné rezistory, rezistory nastavující pracovní bod tranzistorů ve funkci spínačů a LED diody pro zobrazení výsledného kmitočtu.

Ve středu desky je umístěna patice pro dané integrované obvody. Vývody jsou vyvedeny vedle pouzdra tak, aby bylo dále možno na ně připojovat nebo z nich odebírat požadované logické úrovně. Potřebné logické úrovně pro vstupy jsou přivedeny v potřebné vzdálenosti k patici pro jednoduché spojení a přehlednost. Proud logické 1 je kvůli vstupům integrovaných obvodů omezen rezistory R1, R4 a R6 na hodnotu 5 mA. Rezistor R5 omezuje proud hodinového signálu. Vedle patice je umístěn blokovací kondenzátor C1 o hodnotě 100 nF, který je zapojen mezi U_{CC} a GND.

Rezistory R2, R3, R7 až R14 nastavují pracovní bod tranzistorů T1 až T5. Tranzistory fungují jako spínače LED diod. Použity byly nf tranzistory do 1,5 W BC 547C [9].

hodnoty: nejvyšší dovolené stejnosměrné napětí kolektor-emitor U_{CE} - 45 V

nejvyšší dovolený proud kolektoru I_C - 0,2 A

nejvyšší dovolená výkonová ztráta na tranzistoru P - 0,5 W

proudový zesilovací činitel β - 420/800

nejvyšší pracovní kmitočet tranzistoru f - 100 MHz

Výpočet hodnot rezistorů

Podle katalogových údajů [9] se napětí U_{BESAT} se volí od 0,7 V do několika voltů podle požadovaného proudu I_C . U_{CESAT} bývá pro malý kolektorový proud (0,1 - 0,2) V. Napětí na výstupu integrovaného obvodu U_O je v rozmezí 2,4 V až 5 V, napětí zdroje U_{CC} je 5 V. Přibližný úbytek napětí U_D na červené 10 mA LED diodě je 1,65 V. Proud I_D v propustném směru volíme 5 mA. Do vztahu pro výpočet je nutno zahrnout i vstupní ochranný odpor R1 o velikosti 51 Ω . Volbou odporu rezistorů R11 až R14 nastavíme proud procházející LED diodami v okamžiku sepnutí tranzistoru.

$$U_{BEsat} = 0,8 \text{ V}$$

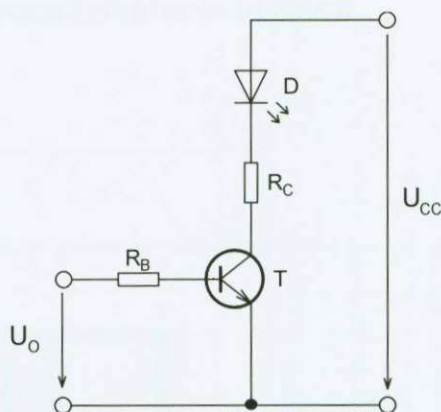
$$U_{CEsat} = 0,1 \text{ V}$$

$$U_{CC} = 5 \text{ V}$$

$$U_O = 2,4 \text{ V} - 5 \text{ V}$$

$$I_C = 5 \text{ mA}$$

$$I_B = 1 \text{ mA}$$



Obr. 3.14 Zapojení pro výpočet rezistorů

Podle Ohmova zákona:

$$R_B = \frac{U_O - U_{BE}}{I_B} = \frac{5 - 8 \cdot 10^{-1}}{1 \cdot 10^{-3}} = \underline{\underline{4200 \Omega}} \quad (1.11)$$

Odpor R_B vyšel 4300Ω , na desku budou tedy naletovány rezistory R7 až R10 o velikosti $4,7 \text{ k}\Omega$.

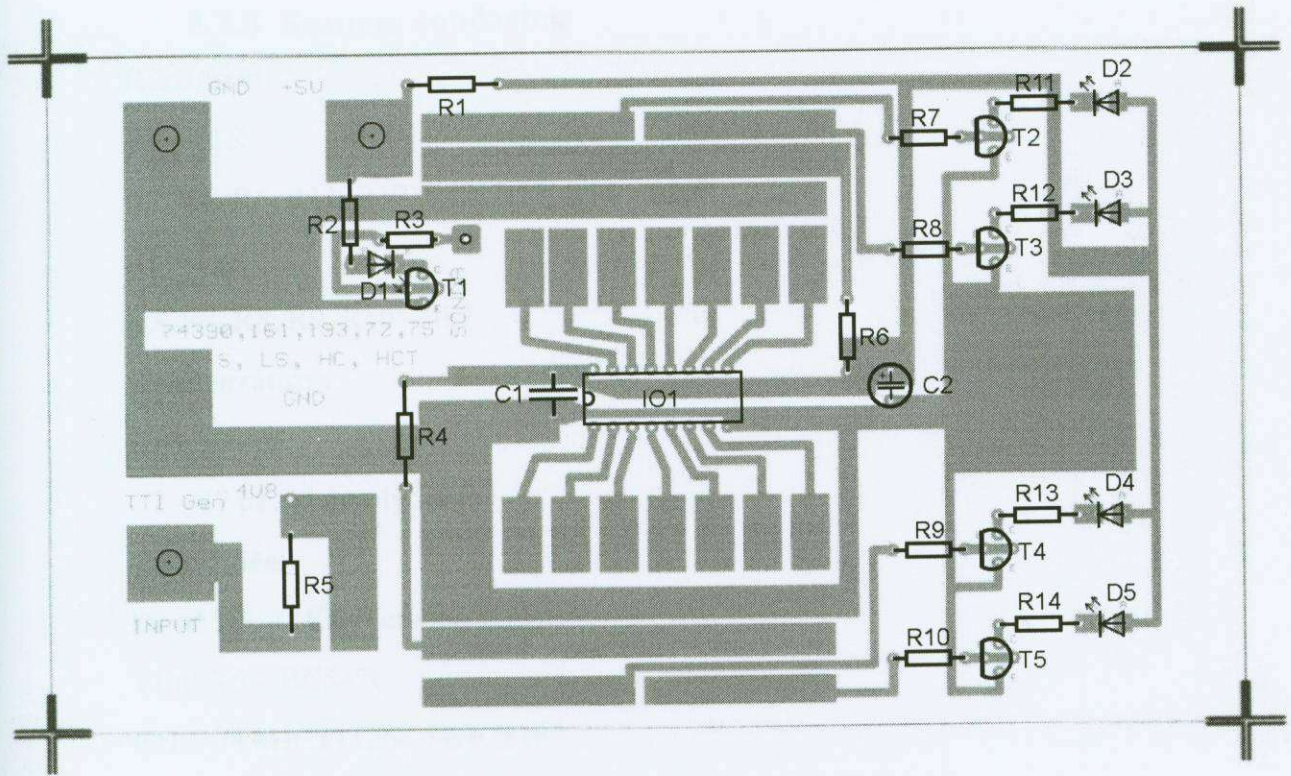
Pokud by proud bázi I_B by byl roven 1 mA , pak kolektorový proud by měl hodnotu o přibližně dva řády vyšší. Proto je nutné obvod kvůli LED diodám doplnit o rezistor R2. Požadovaný proud je 5 mA .

$$R = \frac{U_{CC} - U_D - U_{CE}}{I_C} = \frac{5 - 165 \cdot 10^{-2} - 1 \cdot 10^{-1}}{5 \cdot 10^{-3}} = \underline{\underline{650 \Omega}} \quad (1.12)$$

$$R = R1 + R_C \Rightarrow R_C = R - R1 = 650 - 51 = \underline{\underline{599 \Omega}}$$

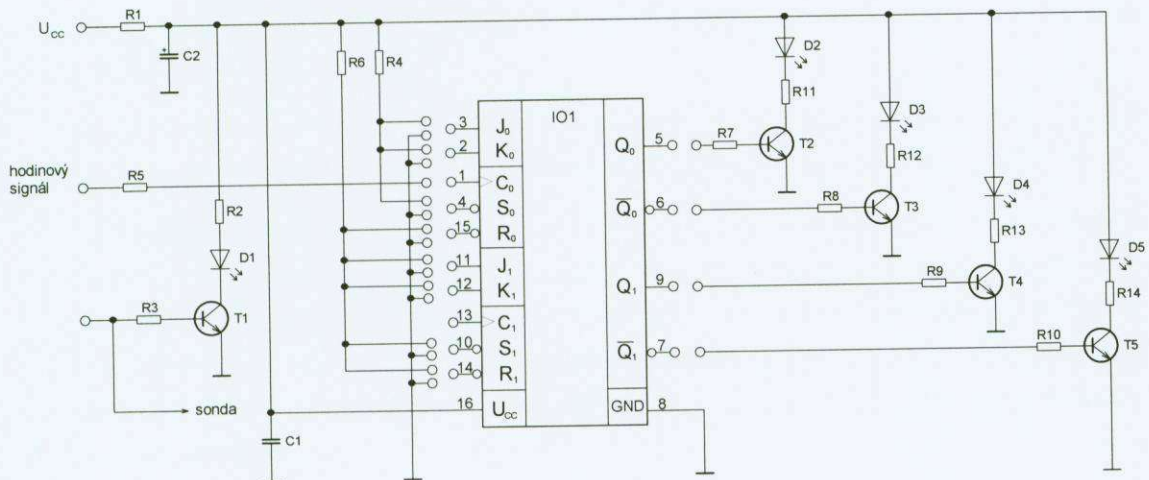
Odpor omezující proud diodami vyšel 599Ω . Nejblíže této hodnotě v řadě E12 je rezistor o hodnotě 680Ω , ale na konec byly použity rezistory 820Ω , který zmenšují proud zhruba o 1 mA .

Poslední částí nacházející se na desce je sonda. Sondu tvoří rezistory R2 a R4 spolu s tranzistorem T1 a LED diodou D1 zobrazující kmitočet hodinový signálu a výstup s možností zobrazení na osciloskopu.



Obr. 3.16 Schéma osazení desky ze strany plošných spojů M 1:1

3.2.2 Schéma zapojení



Obr. 3.17 Schéma zapojení s IO74112

3.2.3 Seznam součástek

Rezistory:

R1 – 51R

R2, R4, R6, R11, R12, R13, R14 – 820R

R5 – 1k

R3, R7, R8, R9, R10 – 4k7

Kondenzátory:

C1 – 100 nF

C2 – 47 μ F (elektrolytický)

Polovodiče:

D1 až D5 – LED (červené 10mA)

T1 až T5 – BC547C

IO1 – 74AHCT112N, 74HCT163

IV Laboratorní práce

4.1 Synchronní vratné čítače

4.1.1 Zadání

1. Sestavte synchronní desítkový vratný čítač s integrovaným obvodem 74192 a synchronní binární vratný čítač s integrovaným obvodem 74193 dle zadaných úloh. Pomocí sedmissegmentového displeje si ověřte dané funkce čítače.
2. Zjistěte mezní frekvenci čítače 74193.

4.1.2 Cíl měření

Cílem úlohy je seznámit se s činností a funkcí čítače a vlastnostmi daných logických integrovaných obvodů TTL.

4.1.3 Teoretický rozbor

Čítače jsou logické sekvenční systémy, složené z bistabilních klopných obvodů schopné čítat počet vstupních impulsů a vyjádřit jejich počet pomocí určitého kódu.

Podle způsobu přivedení hodinového signálu dělíme čítače na synchronní a asynchronní.

Synchronní čítač - hodinový signál je přiveden na vstupy CLK všech klopných obvodů a jejich stav se proto mění současně se změnou signálu

Asynchronní čítač - hodinový signál je zaveden pouze na vstup prvního klopného obvodu, ostatní klopné obvody mají své hodinové vstupy připojeny k výstupům předcházejících klopných obvodů.

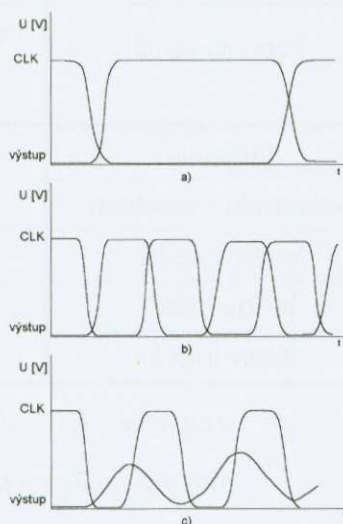
Další možné dělení čítačů je podle směru čítání (čítače vpřed, čítače vzad a čítače vratné, u kterých je možno směr čítání měnit) nebo podle kódu ve kterém pracují.

Čítač obvykle začíná počítat impulsy z výchozího nulového stavu, do kterého jej lze nastavit signálem nulování (reset, clear) přivedeným na k tomu určený vstup. Některé čítače mohou čítat z libovolného výchozího stavu, který se nastaví kombinací logických úrovní na vstupech předvolby počátečního stavu (preset, load). Po překročení maximálního počtu vstupních impulsů, které je schopen čítač přijmout, generuje výstupní impuls (přenos).

Měření mezního kmitočtu [2]

Při zvětšování operační rychlosti, nejlépe představované zvyšováním taktovacího (hodinového) kmitočtu se začne stále víc uplatňovat jak nenulové trvání přechodových hran, tak nenulové zpoždění průchodu signálu obvody. V obrázku 4.1 jsou uvedeny příklady závislosti pro různé kmitočty. V horním řádku (a) je nakreslen stav, kdy

hodinový kmitočet je v pracovní oblasti obvodu, stav (b) ukazuje případ, kdy se hodinový kmitočet přiblížil nejvyššímu přípustnému a ve třetím řádku (c) je ukázán případ, kdy hodinový kmitočet už překročil přípustnou hodnotu. Zde již dochází k nespolehlivé funkci obvodu či k jeho úplnému selhání.



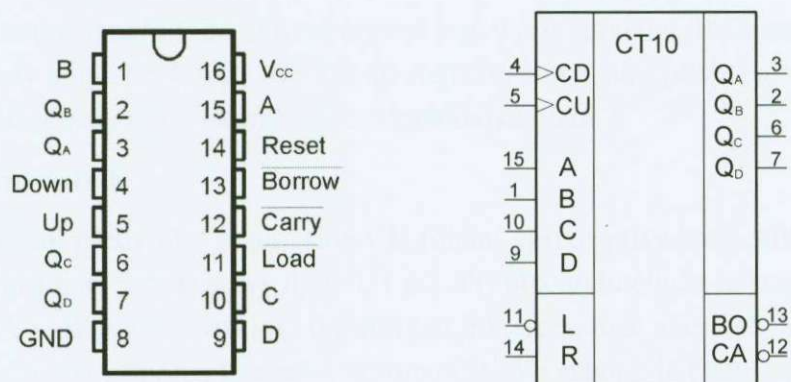
Obr. 4.1 Vliv pracovního kmitočtu

4.1.4 Popis použitých integrovaných obvodů

4.1.4.1 Synchronní desítkový vratný čítač IO 74192 [9]

Integrovaný obvod 74192 je 4-bitový synchronní desítkový vratný (up/down) čítač s asynchronními vstupy pro přednastavení a nulování (load a reset), oddělenými vstupy pro hodinový signál a s výstupy pro přenos (carry a borrow).

Na obrázku 4.2 je uvedena schematická značka spolu s náhledem na rozmístění vývodů pouzdra [9].



Obr. 4.2 Rozmístění vývodů a schematická značka IO 74192

vstupy: CD a CU - vstupy pro čítání vzad a vpřed,

A, B, C, D - přednastavovací vstupy,

\bar{L} - vstup pro přivedení přednastavovacího impulsu, R - nulovací vstup

výstupy: Q_A , Q_B , Q_C , Q_D ; \overline{BO} a \overline{CA} - výstupy přenosů

Nulování R	Nastavení předvolby L	Čítání vpřed CU	Čítání vzad CD	Druh činnosti
H	X	X	X	nulování
L	L	X	X	nastavení předvolby
L	H	H	H	beze změny
L	H	↑	H	čítání vpřed
L	H	H	↑	čítání vzad

H – vysoká úroveň; L – nízká úroveň; X – libovolný stav

↑ – hodinový impuls, změna z nízké na vysokou úroveň

Tabulka 4.1 Funkční tabulka IO 74192

Na obr. 4.3 [9] je naznačen příklad funkce obvodu. Po připojení napájecího napětí se vnitřní klopné obvody nastaví do náhodných stavů (znázorněno vodorovnými přerušovanými čarami). Na přednastavovací vstupy čítače jsou přivedeny signály odpovídající číslu $7 = (0111)_2$ ($A, B, C = \text{log. } 1, D = \text{log. } 0$) a všechny vstupní signály jsou na klidové úrovni.

1. Nulování výstupů

Po přechodu nulovacího signálu R do aktivní úrovně log. 1 se výstupy Q_A až Q_D vynulují.

2. Nastavení výstupu na hodnotu $7 (0111)_2$

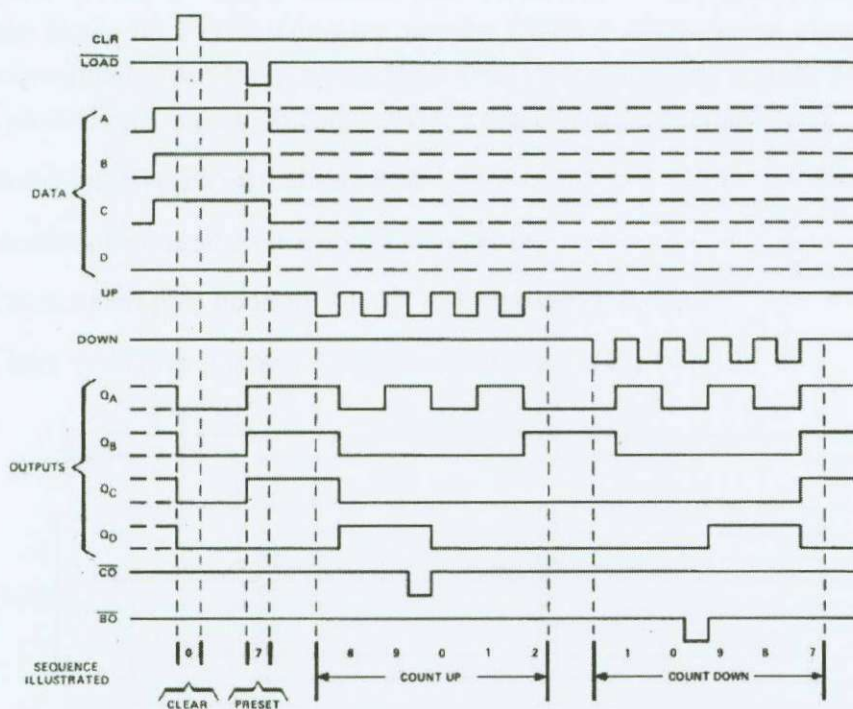
Po přechodu signálu L do aktivní úrovně log. 0 pro paralelní přednastavení čítače se vnitřní obvody a jejich výstupy uvedou do stejného stavu jako příslušné vstupy A až D. Na výstupech se tedy objeví kombinace odpovídající číslu 7.

3. Čítání vpřed

Po ukončení předvolby je na vstup CU (čítání vpřed) přivedeno celkem 5 impulsů, takže čítač postupně projde stavy 8, 9, 0, 1 a 2. Při přechodu čítače ze stavu 9 do stavu 0 je výstup CA v aktivní úrovni log. 0 a tím lze inkrementovat stav dalšího čítače, jehož vstup CU může být připojen k tomuto výstupu CA. Ve stavu 2 je čítání vpřed ukončeno.

4. Čítání vzad

Dále je na vstup CD (čítání vzad) přivedeno také 5 impulsů, takže se čítač postupně přes stavy 1, 0, 9 a 8 vrátí do stavu 7. Při přechodu čítače ze stavu 0 do stavu 9 sleduje výstup BO průběh signálu CD a umožňuje tak dekrementovat stav dalšího čítače, jehož vstup CD může být připojen k tomuto výstupu BO. Po celou dobu čítání musí být signál R na úrovni log. 0 a signál L na log. 1.



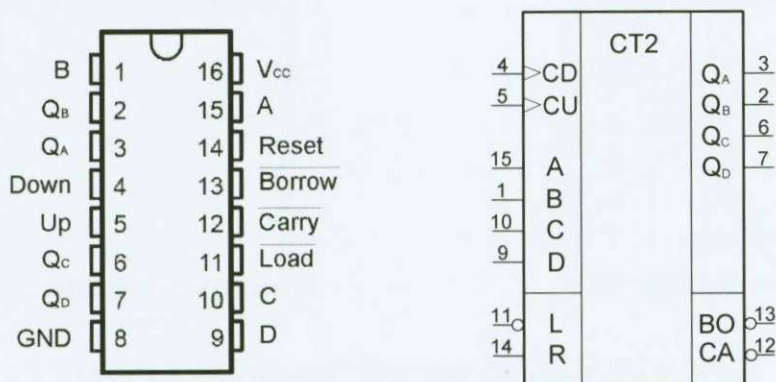
Obr. 4.3 Příklad průběhu stavů čítače 74192 [9]

Chování obvodu 74192 v závislosti na okamžitém stavu a hodinovém signálu (pro čítání vpřed nebo vzad) je znázorněno v grafu na obr. 4.6 [6]. Plná čára představuje změny při čítání vpřed a přerušovaná při čítání vzad.

4.1.4.2 Synchronní binární vratný čítač IO 74193 [9]

Integrovaný obvod 74193 je 4-bitový synchronní binární vratný (up/down) čítač s asynchronními vstupy pro přednastavení a nulování (load a reset), oddělenými vstupy pro hodinový signál a s výstupy pro přenos (carry a borrow).

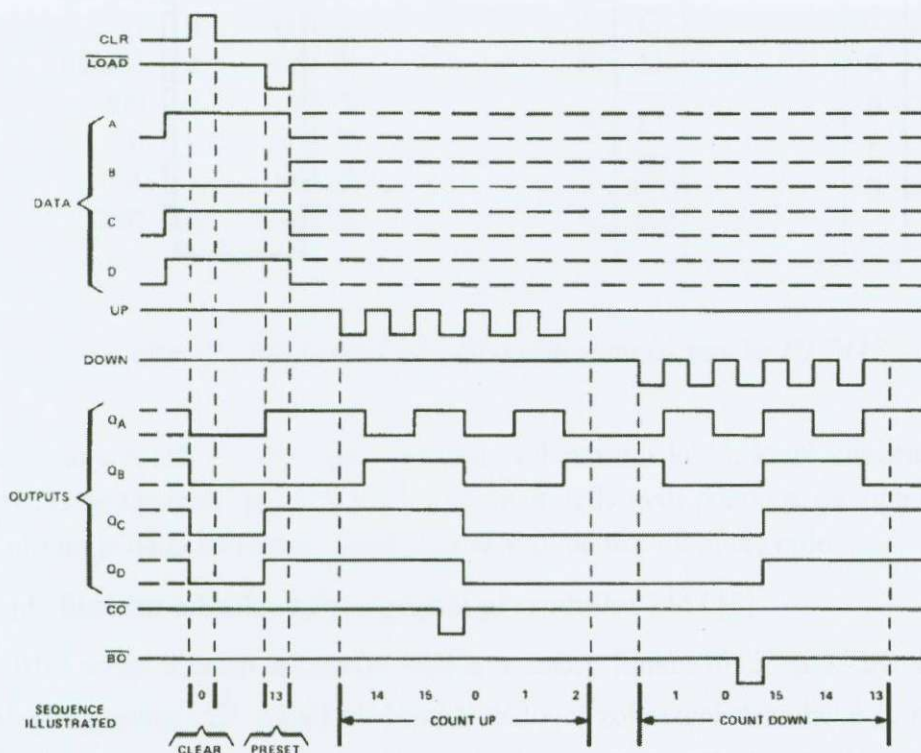
Na obrázku 4.4 je uvedena schematická značka spolu s náhledem na rozmístění vývodů pouzdra [9].



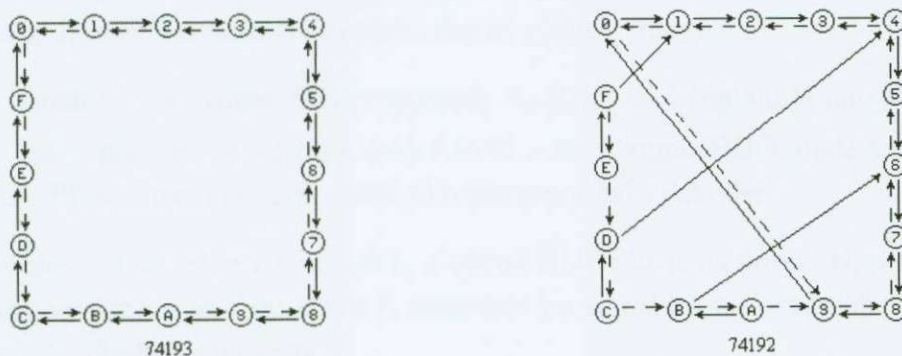
Obr. 4.4 Rozmístění vývodů a schematická značka IO 74193

Zde jsou vývody a funkční tabulka (tab. 4.1) zcela totožné jako u předcházejícího desítkového čítače IO 74192. Chování obvodu 74193 v závislosti na okamžitém stavu a hodinovém signálu (pro čítání vpřed nebo vzad) je znázorněno v grafu na obr. 4.5 [9] Plná čára představuje změny při čítání vpřed a přerušovaná při čítání vzad.

1. Nulování výstupů na hodnotu nula
2. Nastavení výstupů na hodnotu 13 – $(1101)_2$
3. Čítání vpřed přes hodnoty 14, 15, přenos (carry), 0, 1 a 2
4. Čítání vzad přes hodnoty 1, 0, přenos (borrow), 15, 14 a 13



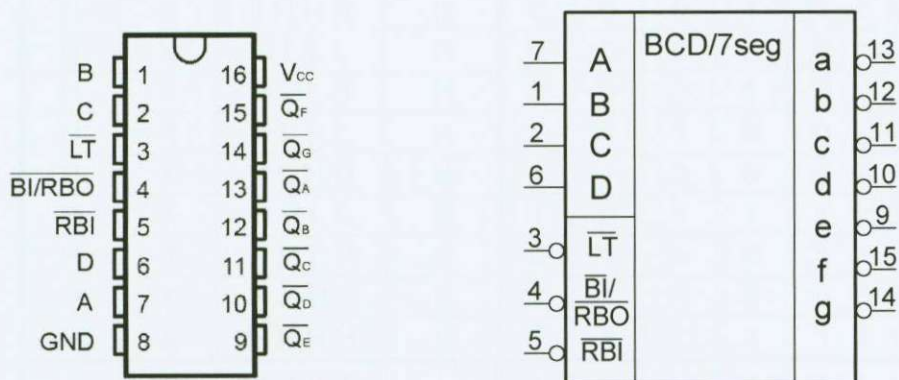
Obr. 4.5 Příklad průběhu stavů čítače 74193



Obr. 4.6 Přejchodové diagramy čítačů 74192 a 74193

4.1.4.3 Převodník kódu BCD na kód 7-segmentových zobrazovacích jednotek

Integrovaný obvod 7447 je dekodér s otevřenými kolektorovými výstupy, dekodující binární čísla čítače s maximálně čtyřmi klopnými obvody a přeměňuje je na kódy sedmissegmentového displeje. Na obrázku 4.7 je uvedena schematická značka spolu s náhledem na rozmístění vývodů pouzdra [9].



Obr. 4.7 Rozmístění vývodů a schematická značka IO 7447

Na vstupy A, B, C, D se přivede číslo v binárním kódu, které chceme zobrazit. Výstupy Q_A až Q_G mají inverzní logiku, segment tedy svítí pokud je na nich nula. Dále obvod obsahuje další tři vstupy, které jsou aktivní taktéž v logické nule.

Popis funkční tabulky 4.2 a zapojení převodníku 7447 [5]

1. Aby se na displeji zobrazily číslice a znaky funkcí 0-15, musí být na vývodu „blanking input“ \overline{BI} signál H. Není-li žádoucí zobrazení dekadické 0, musí se na vývod „ripple blanking input“ \overline{RBI} přivést signál L. Při signálu H se nula bude zobrazovat.

2. Je-li na vstupu \overline{BI} signál L, přepnou se všechny signály a až f na H nezávisle na signálech na všech ostatních vstupech, displej zůstane tmavý.

3. Při signálu L na vstupu \overline{RBI} a vstupech A...D, a také signálu H na vstupu \overline{LT} „lamp test“, přepnou se výstupy a až f na H a na výstupu \overline{RBO} bude k dispozici signál L. Při sériovém použití slouží jako vstup pro další dekodér.

4. Přivede-li se na vstup \overline{LT} signál L, a vývod $\overline{BI}/\overline{RBO}$ je na úrovni H, přepnou se všechny výstupy a až f do stavu L nezávisle na signálech na ostatních vstupech. Rozsvítí se všechny segmenty.

* vývod $\overline{BI}/\overline{RBO}$ je interně vzájemně provázán logikou AND, takže podle vnějších podmínek je zapojen buď jako vstup \overline{BI} nebo jako výstup \overline{RBO}

desítkové číslo nebo funkce	\overline{LT}	\overline{RBI}	vstupy		výstupy									
			D	C B A	$\overline{BI}/$ \overline{RBO}^*	a	b	c	d	e	f	g		
0	H	H	L	L	L	L	H	0	0	0	0	0	0	1
1	H	X	L	L	L	H	H	1	0	0	1	1	1	1
2	H	X	L	L	H	H	H	0	0	1	0	0	1	0
3	H	X	L	L	H	H	H	0	0	0	0	1	1	0
4	H	X	L	H	L	L	L	1	0	0	1	1	0	0
5	H	X	L	H	L	H	H	0	1	0	0	1	0	0
6	H	X	L	H	H	L	L	1	1	0	0	0	0	0
7	H	X	L	H	H	H	H	0	0	0	1	1	1	1
8	H	X	H	L	L	L	L	0	0	0	0	0	0	0
9	H	X	H	L	L	H	H	0	0	0	1	1	0	0
10	H	X	H	L	H	L	L	1	1	1	0	0	1	0
11	H	X	H	L	H	H	H	1	1	0	0	1	1	0
12	H	X	H	H	L	L	L	1	0	1	1	1	0	0
13	H	X	H	H	L	H	H	0	1	1	0	1	0	0
14	H	X	H	H	H	L	L	1	1	1	0	0	0	0
15	H	X	H	H	H	H	H	1	1	1	1	1	1	1
\overline{BI}	X	X	X	X	X	X	L	1	1	1	1	1	1	1
\overline{RBI}	H	L	L	L	L	L	L	1	1	1	1	1	1	1
\overline{LT}	L	X	X	X	X	X	H	0	0	0	0	0	0	0

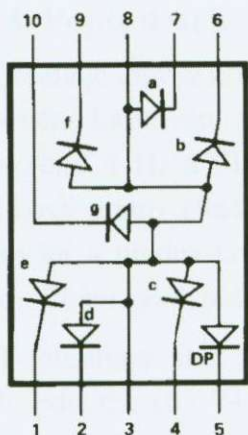
Tabulka 4.2 Funkční tabulka převodníku 7447 [7]

4.1.4.4 Sedmissegmentová zobrazovací jednotka HDSP-5501 [5, 9]

HDSP-5501 je 7-segmentový jednomístný displej se společnou anodou. Obsahuje deset vstupů, 7 segmentů, desetinou tečku a dva vstupy pro napájení. Společná anoda znamená, že segment svítí pokud je na jeho vstupu logická nula. Segment je tvořen sedmi červenými LED diodami ve tvaru proužků, které jsou uspořádány do tvaru hranaté osmičky.

U LED diody vzniká záření vlivem procházejícího proudu v propustném směru. Toto záření vzniká při rekombinaci nosičů náboje uvnitř přechodu PN a jeho barva je závislá na materiálu, ze kterého je dioda vyrobena. Užívanými materiály jsou sloučeniny galia.

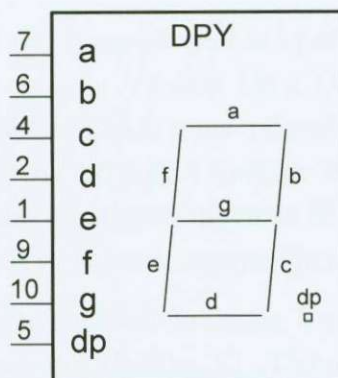
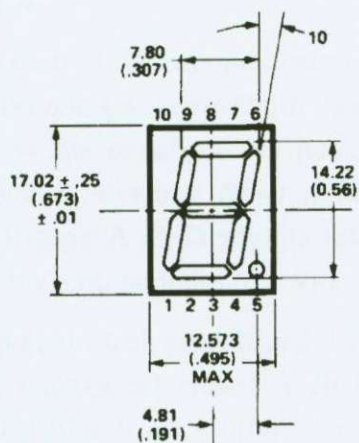
Každý z sedmi segmentů číslicového indikátoru je tvořen jednou nebo několika světelnými diodami. Pro zjednodušení ovládacích obvodů mají diody navzájem propojeny katody nebo anody, podle druhu logických obvodů, se kterými spolupracují.



pin	
1	katoda – e
2	katoda – d
3	anoda
4	katoda – c
5	katoda – dp
6	katoda – b
7	katoda – a
8	anoda
9	katoda – f
10	katoda – g

Obr. 4.8 Vnitřní zapojení a popis vývodů [9]

Výška znaků je podle typu indikátoru 3 až 16 mm. Doba odezvy je řádově 10 ns. Nejmenší zobrazovací jednotky tohoto typu odebírají proud 0,5 až 1 mA na segment, největší asi 15 mA na segment. Anodové napětí diody je podle barvy 1,5 V až 2,5 V. Aby bylo možné použít pro napájení daných zobrazovacích jednotek běžné napájecí napětí logických obvodů TTL, které je 5 V, je proud jednotlivých segmentů omezován sériovými rezistory.



Obr. 4.9 Popis a schematická značka HDSP - 5501

4.1.5 Popis desek

Deska I obsahuje zdroje hodinových signálů vytvořených pomocí IO 74132 (IO1). Clock 1 pro ruční krokování tlačítkem S1 (nacházejícím se v levém dolním rohu), Clock 2 o frekvenci 1 Hz a Clock 3 o proměnné frekvenci od 0,5 Hz do 3 Hz. Dále obsahuje desítkový vratný čítač IO 74192 a binární vratný čítač IO 74193, spínače S2 a S3 pro nulování a přednastavení čítačů a poslední tlačítko S4, určující směr čítání (poloha vlevo – čítání vzad, poloha vpravo – čítání vpřed).

Deska II obsahuje dva dekodéry BCD kódu na kód sedmisegmentových zobrazovacích jednotek (IO 7447). Výstupy dekodérů jsou již propojeny s katodami jednotlivých segmentů. Posledním obvodem je IO 7408. Tento obvod obsahuje čtyři dvouvstupová hradla AND. Pro účely úloh jsou vyvedeny a označeny první dvě z nich. Vstupy A1, B1, A2, B2 a výstupy Y1 a Y2.

4.1.6 Postup měření

Propojte obě měřicí desky. 2-pinovým kabelem se napájí deska II s dekodéry a sedmisegmentovými displeji a 8-pinový kabel propojuje výstupy čítačů se vstupy dekodérů. **Při zapojování jednotlivých úloh, vždy odpojte napájecí napětí a při pájení zbytečně dlouho neohřívajte desku!**

Úloha A

V této části úlohy zapojte binární čítač 74193 (IO2) nacházející se uprostřed desky. Použijte obrázek 4.4 s umístěním vývodů tohoto obvodu. Vývody *Up* a *Down* zapojte k tlačítku S4 dle označení. Na poslední část tlačítka *Clock input* přiveďte hodinový signál *Clock 1*. Výstupy *Reset* a *Load* přiveďte na příslušné tlačítka S2 a S3 dle označení. Vstupy A až D zapojte tak, aby se čítač po stlačení tlačítka S3 nastavil na vámi požadovanou hodnotu $(0 - 9)_{10} - (0000 - 1001)_2$. Schéma zapojení je na obr. 4.10.

Po zapojení všech předcházejících částí přiveďte napájení na desku. Vynulujte čítač stisknutím tlačítka S2 (reset) a čítejte v před pomocí tlačítka S1. Dekodéry budou zobrazovat číslice 0 až 9 $(1001)_2$ a dále pak speciální znaky. Vyzkoušejte si funkci přednastavení pomocí tlačítka S3.

Úloha B

Obvod zůstane zapojen tak jak je, jen se doplní o zapojení desítkového vratného čítače 74192, nacházejícího se v pravé části desky. U tohoto obvodu jsou vyvedeny pouze některé vývody, které je třeba dozapojit obdobně jako u předešlého čítače. Opět použijte obrázek s popisem jednotlivých vývodů. Zapojte vstupy *Up* a *Down* na tlačítko S4 a vstup *Reset* na tlačítko S2. Schéma zapojení je zobrazeno na obr. 4.11.

Přiveďte napájecí napětí, vynulujte čítače a čítejte v před opět pomocí tlačítka S1. Sledujte zobrazení jednotlivých stavů čítačů na displeji. Desítkový čítač je navíc vybaven signalizací přenosu do vyššího (carry) a nižšího (borrow) řádu LED diodami.

Úloha C

Zde se daný obvod rozšíří o další část, kterou představuje IO 7408. Aby se daly oba čítače, binární a desítkový, při čítání vpřed použít společně pro zobrazení impulsů v rozsahu 0 až 99, je nutno zkrátit čítací cyklus binárního čítače 74193. Zkraťte tedy cyklus binárního čítače tak, aby čítal pouze v rozsahu 0 až 9. Jde o to, přivést logickou 1 na vstup *Reset* v době, kdy čítač přejde z čísla 9 na další znak $(1010)_2$ a to pomocí vhodně vybraných výstupů čítače (Q_A , Q_B , Q_C , Q_D) a logiky AND. Pro přehled výstupů čítače je zde umístěna pomocná tabulka 4.3 a pro zapojení schéma obr. 4.13.

dekadické číslo	binární kód $Q_D Q_C Q_B Q_A$
0	0 0 0 0
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	0 1 0 1
6	0 1 1 0
7	0 1 1 1
8	1 0 0 0
9	1 0 0 1
10	1 0 1 0

Tab. 4.3 Pomocná tabulka

Přiveďte vhodné dva výstupy čítače na vstupy hradla AND – *1A* a *1B*. Vstup *Reset* tohoto čítače přepojte z tlačítka *S2* na výstup hradla *1Y*. Nulování bude provedeno pomocí přednastavení. Nastavte tedy vstupy *A* až *D* na hodnotu logické 0 a přednastavovací vstup *Load* zapojte na tlačítko *S3* (*SET*). Dále přepojte vstupy binárního čítače *Up* na výstup *Carry* desítkového čítače a vstup *Down* připojte na výstup *Borrow* desítkového čítače. Jako zdroj hodinového signálu použijte *Clock 3* s proměnnou frekvencí. Potenciometr otočte vlevo, pro nastavení nejmenší frekvence hodinového signálu a tlačítko *S4* přepněte do polohy vpravo pro vzestupné čítání.

Přiveďte napájecí napětí, vynulujte desítkový čítač pomocí tlačítka *S2* (*reset*) a binární čítač pomocí přednastavení tlačítka *S3* (*set*). Zvyšte frekvenci a sledujte jednotlivé stavy čítačů.

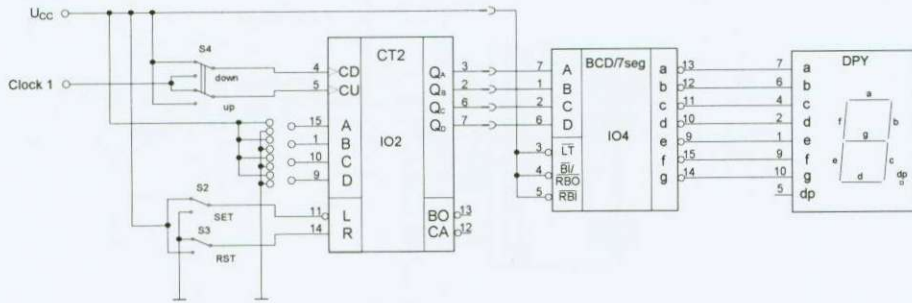
Úloha D

V této části se bude měřit mezní frekvence binárního čítače *IO2*. Odpojte desku s displeji, při tomto měření jí nebude potřeba. Vstup *Reset* připojte na zem, vstupy *Load* a *Down* připojte na napětí +5 V a vstupy *A* až *D* např. na zem, zde je to jedno, logická hodnota nemá vliv na funkci zapojení. Na vstup *Up* připojte proměnný externí zdroj obdélníkového signálu. Na výstup externí zdroje signálu připojte 1. kanál osciloskopu a na výstup Q_A připojte 2. kanál osciloskopu. Schéma zapojení je zobrazeno na obr. 4.14.

Přiveďte napájecí napětí, zvyšujte frekvenci vstupního obdélníkového signálu v rozmezí od 30 MHz do 60 MHz a sledujte změnu signálu na výstupu Q_A .

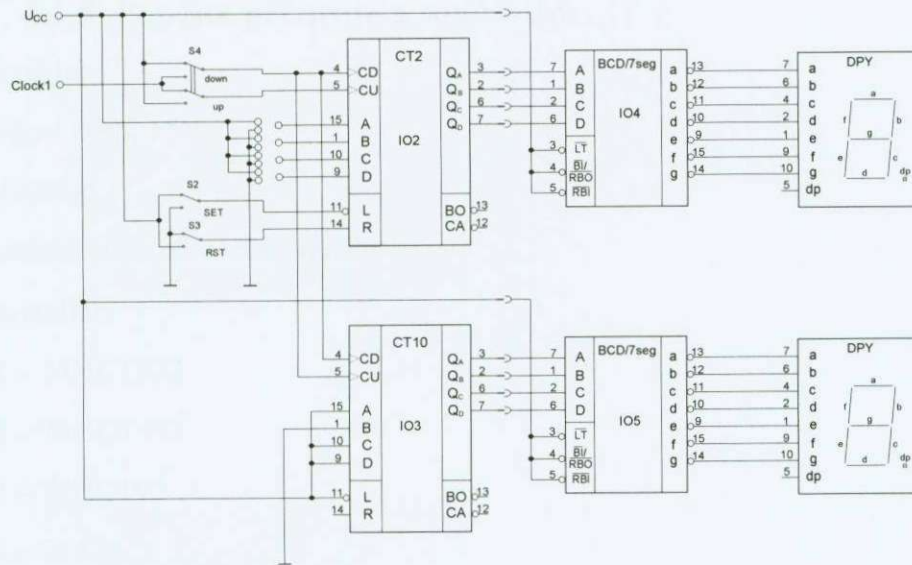
4.1.7 Schéma zapojení

Úloha A



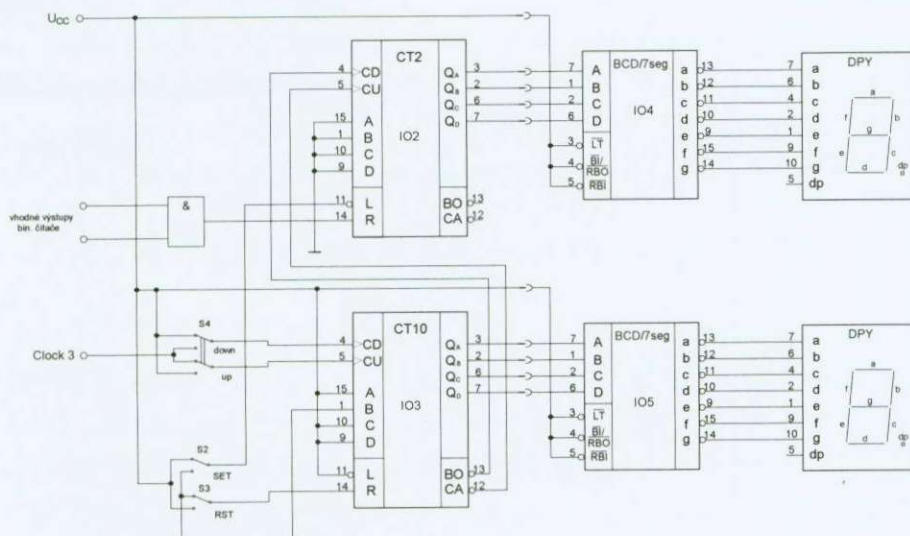
Obr. 4.10 Schéma zapojení úlohy A

Úloha B



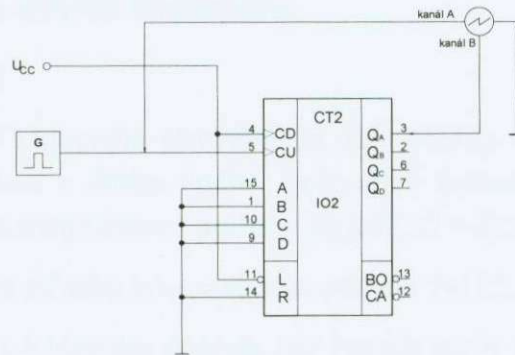
Obr. 4.11 Schéma zapojení úlohy B

Úloha C



Obr. 4.13 Schéma zapojení úlohy C

Úloha D



Obr. 4.14 Schéma zapojení úlohy D

4.1.8 Použité přístroje a součástky

Přístroje:

napájecí zdroj +5V

osciloskop

generátor obdélníkového signálu

Polovodiče:

IO1 – 74HCT132

IO2 – 74HCT193

IO3 – 74HC192

IO4 – 7447

IO5 – 7447

IO6 – 74HCT08

S1,S2,S3 – mikrospínače

S4 – přepínač

4.2 Čítače jako děliče kmitočtu

4.2.1 Zadání

1. a) Sestavte obvod s klopným obvodem JK (IO 74112). Ověřte funkci obvodu jako děliče dvěma a děliče čtyřmi. Jednotlivé frekvence zobrazte na LED diodách. Zaznamenejte časové průběhy signálů, $U = f(t)$.
b) Vytvořte funkční tabulku integrovaného obvodu 74112.
2. a) Sestavte obvod s 4-bitovým čítačem (IO 74163) podle zapojení, představující čítač jako dělič frekvence modulo 16. Činnost čítače zobrazte na LED diodách. Zaznamenejte časové průběhy signálů, $U = f(t)$.
b) Vytvořte funkční tabulku integrovaného obvodu 74163.

4.2.2 Cíl měření

Cílem úlohy je seznámit se s vlastnostmi logických integrovaných obvodů TTL a funkcí čítače jako děliče kmitočtu.

4.2.3 Teoretický rozbor [7]

Jako děliče kmitočtu celým číslem m se používají čítače *modulo m*. Pro tuto aplikaci není podstatné, kterými stavy čítač prochází, jen jich musí být m v cyklu a jednou za cyklus musí být generován výstupní impuls. Čítač *modulo m* má proti binárnímu čítači zkrácený cyklus. To lze docílit dvěma způsoby, buď již při návrhu čítače vhodně definovat tabulku přechodů a odvodit budící funkce klopných obvodů (pouze u synchronních čítačů), nebo vyjít z čítače binárního a doplnit jej o obvody, které čítač vynulují při dosažení vhodného stavu, dříve než na konci cyklu (u čítačů asynchronních i synchronních).

U čítačů s možností paralelního přednastavení lze změnit modul dělení také tím způsobem, že místo nulování čítače se v okamžiku dosažení dělicího poměru uskuteční jeho přednastavení na tuto hodnotu a čítač obnoví dekrementaci stavu směrem k nule. Vlastní přednastavení se potom odvozuje od signálu BO. Tento princip lze použít i při čítání vpřed s použitím inverzní hodnoty čísla a přenosu z výstupu CA [6].

4.2.4 Popis použitých integrovaných obvodů

4.2.4.1 Integrovaný obvod 74112 [9]

Integrovaný obvod 74112 obsahuje dva klopné obvody JK, které jsou řízeny týlovou hranou hodinového signálu, s funkcí nulování (reset) a přednastavení (set). Při nízké úrovni vstupů přednastavení a nulování dojde k nastavení nebo vynulování výstupů bez ohledu na úrovně ostatních vstupů. Jsou-li vstupy *Set* a *Reset* neaktivní, v logické úrovni high, jsou výstupní hodnoty dané pouze vstupy J a K. Výstupní hodnoty se tedy nastaví podle pravdivostní tabulky klopného obvodu JK a po příchodu

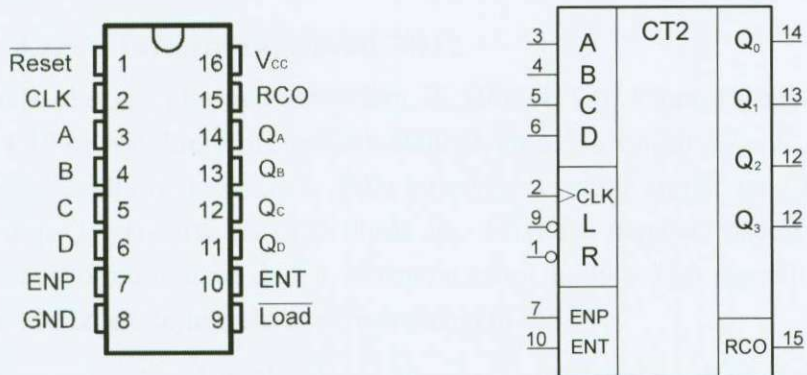
týlové hrany hodinového impulsu (CLK). Rozmístění vývodů pouzdra a schématická značka jsou uvedeny na obrázku 4.15.



Obr. 4.15 Rozmístění vývodů a schématická značka IO 74112

4.2.4.2 Synchronní binární čítač vpřed IO 74163

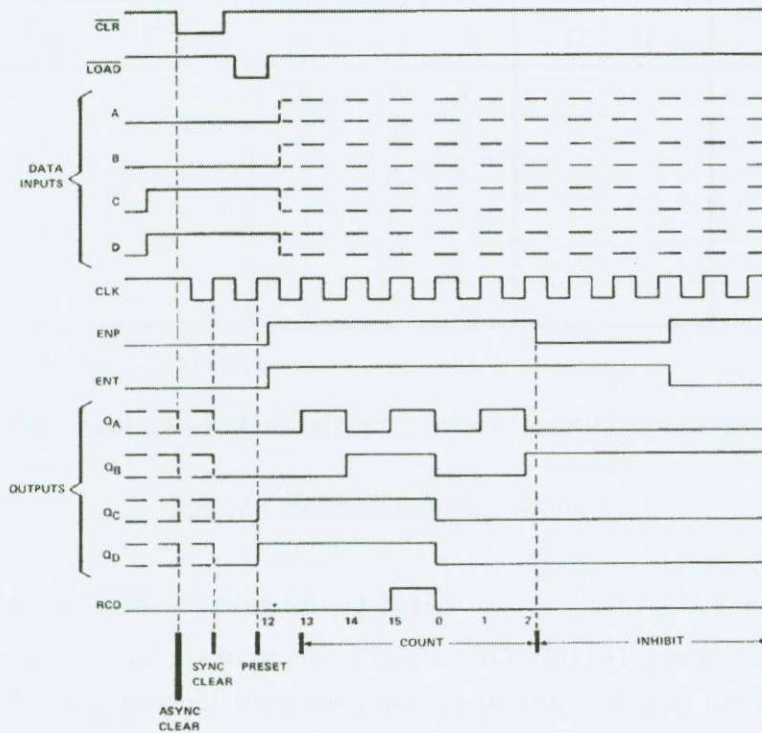
Integrovaný obvod 74163 je synchronní binární čítač vpřed se vstupy pro nulování (reset), přednastavení (load), povolovacími vstupy ENP a ENT a výstupem (RCO), umožňující přenos do vyššího řády při přechodu z hodnoty 15 na 0. Obvod reaguje na čelní hranu hodinového impulsu. Funkce přednastavení umožňuje přednastavit čítač na nějaké číslo od 0 do 15. Tato funkce je synchronní, a nízká úroveň na vstupu *Load* po příchodu čelní hrany hodinového impulsu, přerušuje čítání a nastavuje výstupy na dané hodnoty bez ohledu na úrovně signálů *ENP* a *ENT*. Nulovací funkce *Reset* je také synchronní a nízká úroveň na vstupu po příchodu čelní hrany hodinového impulsu nastaví všechny výstupy na nízkou úroveň, bez ohledu na úrovně signálů *ENP* a *ENT*. Obvod určený pro generování přenosu do vyššího řádu *RCO* je využíván při kaskádním řazení *n*-bitových čítačů. Tato funkce je implementována v *ENP* a *ENT* vstupech. Při čítání musejí být oba vstupy *ENP* a *ENT* v úrovni logické 1. Vstup *ENT* také umožňuje posílání impulsu z výstupu *RCO*.



Obr. 4.16 Rozmístění vývodů a schématická značka IO 74163

Na obr. 4.17 [9] je naznačen příklad funkce tohoto obvodu.

1. Synchronní nulování výstupů na hodnotu nula
2. Nastavení výstupů na hodnotu $12 - (1100)_2$
3. Čítání přes hodnoty 13, 14, 15, 0, 1 a 2
4. Zamezení čítání



Obr. 4.17 Příklad průběhu stavů čítače IO 74163

4.2.5 Postup měření

Pro obě měření použijte univerzální desku, napájecí a zemnicí vývody obou obvodů jsou na tentýž místě (pin 8 a 16). Při přepojování desky vždy vypněte zdroj napětí.

4.2.5.1 Integrovaný obvod 74112

- a) Sestavte obvod s klopným obvodem JK (IO 74112). V první části zapojte podle obr. 4.18 obvod, který představuje dělič dvěma. Na vstupy $1J$, $1K$, $1Set$ a $1Reset$ přiveďte hodnotu logické 1. Dále přiveďte vstupní signál na LED diodu D_1 a výstup Q_0 přiveďte na LED diodu D_2 . Přiveďte napájecí napětí +5 V a zdroj hodinového signálu na desku. Nastavte zdroj hodinového signálu na frekvenci 1 Hz - 2 Hz, sledujte frekvenci rozsvěcování diod.

Nyní zapojte obvod podle obr. 4.19, obvod představuje dělič dvěma a čtyřmi v synchronním zapojení. Předchozí zapojení obvodu doplníme o zapojení výstupu Q_1 na LED diodu D_3 a o zapojení patřičných vstupů. Po té přiveďte vstupní signálu a sledujte frekvenci rozsvěcování diod a zaznamenejte přibližné

časové průběhy signálů. Poté ověřte asynchronní zapojení daného děliče podle obr. 4.20.

- b) Zapojte obvod podle obr. 4.21. Výstupy Q_0 zapojte na LED diodu D_1 . Podle předpřipravené tabulky 4.4 přivádějte odpovídající logické hodnoty na dané vstupy a vytvořte funkční tabulku integrovaného obvodu 74112.

vstupy					výstupy		činnost obvodu
$\overline{\text{Set}}$	$\overline{\text{Reset}}$	CLK	J	K	Q	\overline{Q}	
0	1	X	X	X			
1	0	X	X	X			
1	1	↓	0	0			
1	1	↓	0	1			
1	1	↓	1	0			
1	1	↓	1	1			

X – libovolný stav

↓ – hodinový impuls, změna z vysoké na nízkou úroveň

Tab. 4.4 Funkční tabulka pro měření

4.2.5.2 Integrovaný obvod 74163

- a) Sestavte obvod s 4-bitovým čítačem (IO 74163) podle schéma zapojení (obr. 4.22) a pomocí obrázku zapojení pouzdra daného obvodu (obr. 4.16). Zapojení představuje čítač jako dělič frekvence modulo 16. Vstupní hodinový signál zobrazte na LED diodě D_1 a signál z výstupu Q_3 na LED diodě D_2 . Po přivedení vstupního signálu o frekvenci 1 Hz - 2 Hz, sledujte frekvenci rozsvěcování diod a zaznamenejte přibližné časové průběhy signálů.
- b) Zapojte obvod podle obr. 4.23. Výstupy Q_0 až Q_3 zapojte na LED diody D_1 až D_3 . Podle předpřipravené tabulky 4.5 přivádějte odpovídající logické hodnoty na dané vstupy a vytvořte funkční tabulku integrovaného obvodu 74163.

vstupy					výstupy				činnost obvodu
$\overline{\text{Load}}$	$\overline{\text{Reset}}$	CLK	ENP	ENT	A	B	C	D	
X	0	X	X	X	X	X	X	X	
0	1	↑	0	0	X	X	X	X	
1	1	↑	1	1	X	X	X	X	

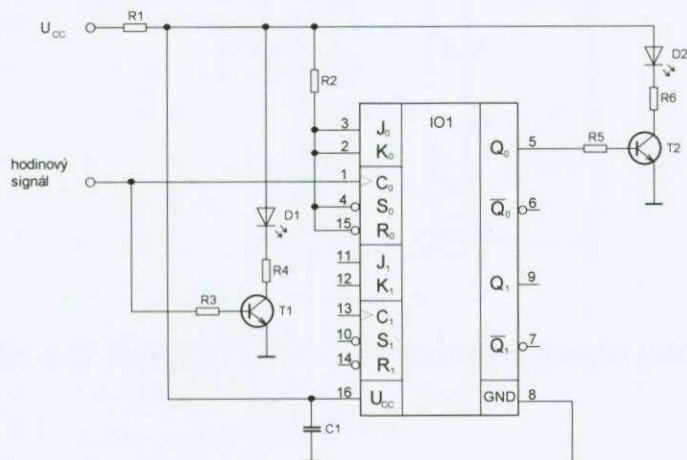
X – libovolný stav

↑ – hodinový impuls, změna z nízké na vysokou úroveň

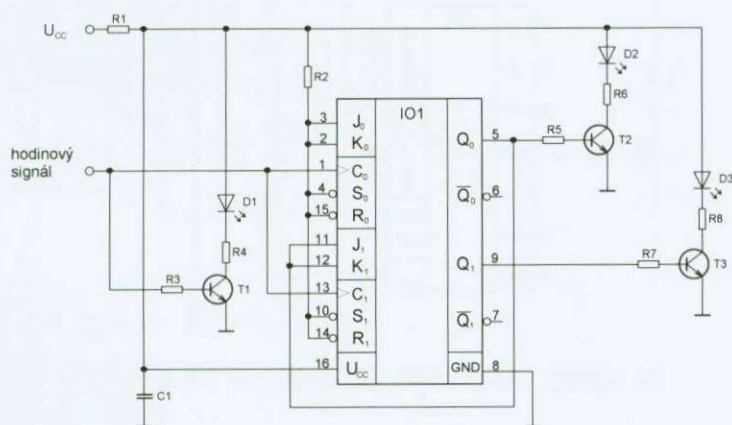
Tab. 4.5 Funkční tabulka pro měření

4.2.6 Schéma zapojení

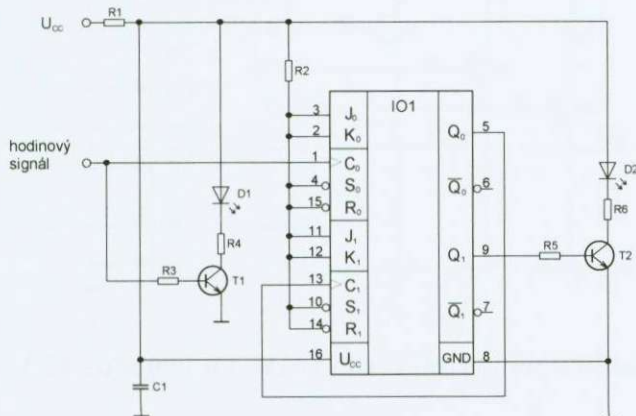
IO 74112



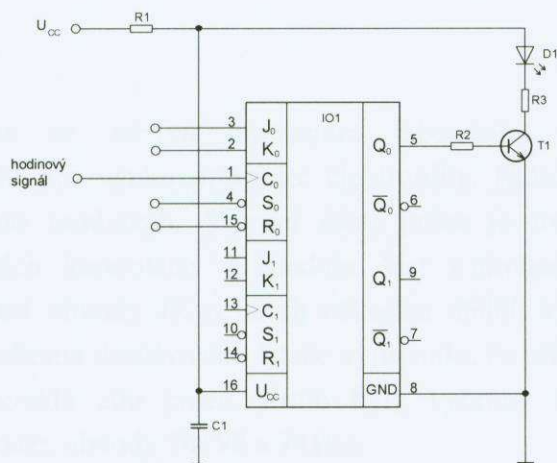
Obr. 4.18 Zapojení IO 74112 jako děliče 2



Obr. 4.19 Zapojení IO 74112 jako děliče 4 - synchronní zapojení

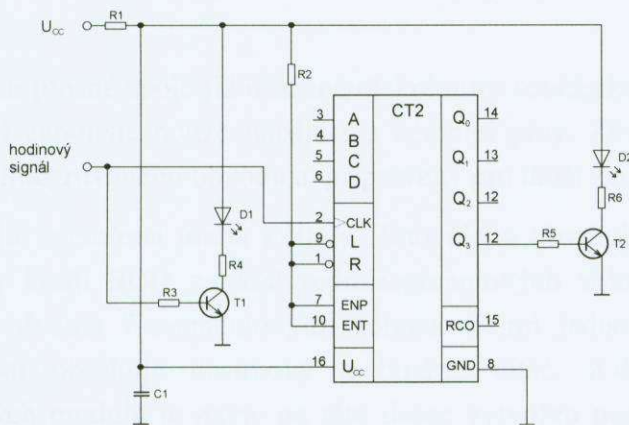


Obr. 4.20 Zapojení IO 74112 jako děliče 4 -asynchronní zapojení

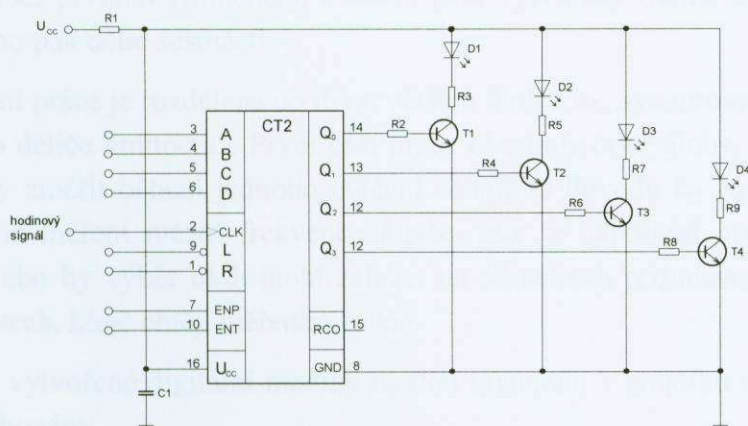


Obr. 4.21 Zapojení IO 74112 pro sestavení funkční tabulky

IO 74163



Obr. 4.22 Zapojení IO 74163 jako děliče 16



Obr. 4.23 Zapojení IO 74163 pro sestavení funkční tabulky

Závěr

Bakalářská práce se zabývá návrhem laboratorní úlohy a potřebných elektronických modulů pro výuku praktické elektroniky. Hlavním požadavkem bylo použití čítačů v těchto modulech. V první části práce je uvedena teoretická část uplatňující se v dalších kapitolách. Následuje část s návrhem desítkového čítače realizovaným klopnými obvody JK a návrh několika děličů kmitočtu. Z výsledného návržení a sestavení schéma desítkového čítače vyplynulo, že přílišná složitost potřebné hradlové sítě, neodpovídá cíli práce. Proto byly vybrány a použity integrované desítkové a binární čítače, obvody 74192 a 74193.

Snahou při navrhování plošných spojů bylo vytvoření modulů odlišných od klasických stavebnic, aby studenti porozuměli funkci a principu zapojení v úlohách, a aby se podíleli na tvorbě daných obvodů. Obvody byly navrhovány také s tím, že je budou sestavovat i studenti učitelských oborů, čemuž je přizpůsobena i složitost daných laboratorních úloh.

Výsledkem jsou plošné spoje již osazené diskrétními součástkami a integrovanými obvody, které mají zapojené pouze napájecí a zemnicí piny. Zbývající vývody jsou vyvedenými vedle integrovaného obvodu a připraveny pro další zapojení.

Jako první byla vytvořena úloha s čítači. Tato úloha obsahuje dva plošné spoje, jeden s převodníky kódu BCD na kód sedmissegmentových zobrazovacích jednotek IO 7447 spolu se dvěma 7-segmentovými zobrazovacími jednotkami HDSP 5501. Druhý plošný spoj obsahuje desítkový a binární čítač. Z důvodů co největší samostatnosti daných modulů je navíc na této desce vytvořen pomocí obvodu 74132 oscilátor, generující obdélníkový impuls o nízké frekvenci a spínač pro ruční krokování. Jako druhá byla vytvořena úloha děliče frekvence s integrovanými obvody 74112 a 74163. Pomocí prvního zmíněného obvodu jsou vytvořeny děliče dvěma a čtyřmi, pomocí druhého pak dělič šestnácti.

Laboratorní práce je rozdělena do dvou větších úloh a to „synchronní vratné čítače“ a „čítače jako děliče kmitočtu“. První část práce obsahuje čtyři úlohy, které se ovšem nedají všechny změřit během jednoho cvičení. Z tohoto důvodu by bylo vhodné, aby například úloha měření mezní frekvence čítače, kdy je zapotřebí osciloskopu, byla samostatná. Nebo by výběr úloh mohl záležet na aktuálních požadavcích na studenty a jejich znalostech, které chtějí měřením získat.

Snad tyto vytvořené digitální moduly najdou uplatnění v praxi elektroniky, pro něž byly navrhovány.

Literatura

- [1] Šícha, M., Tichý, M.: Elektronické zpracování signálů – Základy analogové, digitální techniky, Praha, vydalo Karolinum, nakladatelství UK, 1998.
- [2] Bayer, J., Šimek, T.: Elektronické systémy II. Skriptum ČVUT FE, Praha, Ediční středisko ČVUT , 1987.
- [3] Klimeš, C.: Prvky elektronických počítačů - Logické obvody a systémy. VŠB Ostrava, Ostrava, Ostravská univerzita, 2003.
elektronická podoba:
<http://www.home.tiscali.cz/mark-enton/logickeobvody.pdf>
- [4] Eysselt, M.: Logické systémy. Skriptum VUT FE, Praha, SNTL, 1985.
- [5] Schommers, A.: Elektronika tajemství zbavená, Kniha3: Pokusy s číslicovou technikou, Ostrava, nakladatelství HEL, 1999.
- [6] Čítače
http://stag.zcu.cz/fel/kae/+ces/texty_povinne/citace.doc
- [7] Bayer, J. a kol., T.: Elektronické systémy II – návody ke cvičení. Skriptum ČVUT FE, Praha, Ediční středisko ČVUT , 1990.
- [8] Syrovátka, M., Černocho, B.: Zapojení s integrovanými obvody, Praha, SNTL, 1987.
- [9] Dokumentace k jednotlivým integrovaným obvodům
<http://www.datasheetcatalog.com>